

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339939

(43)Date of publication of application : 07.12.2001

(51)Int.CI.

H02M 3/07  
G05F 1/56

(21)Application number : 2000-154692

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 25.05.2000

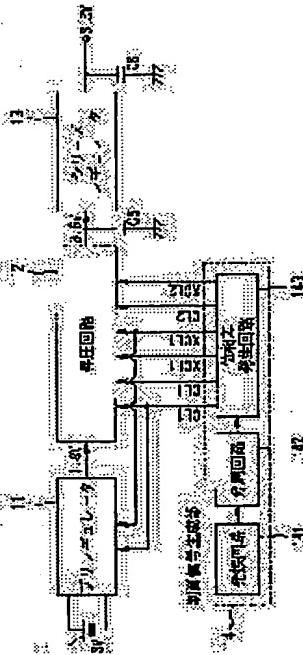
(72)Inventor : YAMADA ATSUSHI

## (54) DC-DC CONVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a DC-DC converter capable of enhancing conversion efficiency and also feeding a large load current by increasing the load-current drive capacity.

**SOLUTION:** A pre-regulator 11 inputs a DC voltage of a DC power source 1 and controls the output voltage to reach a given value so as to make the input voltage to a booster circuit 12 constant. The booster circuit 12, in a first period, connects capacitors C1, C2 in parallel to charge them with the input voltage and, at the same time, connects capacitors C3, C4 in series to take out the charged voltage just before the connection to the outside, and in a second period, connects the capacitors C3, C4 in parallel to charge them with the input voltage and, at the same time, connects the capacitors C1, C2 in series to take out the charged voltage just before the connection to the outside, and thus alternately conducts each operation of the first and second periods. A series regulator 13 aims to stabilize the boosted voltage output from the boosting circuit 12.



## LEGAL STATUS

[Date of request for examination] 23.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the withdrawal  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application] 28.12.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] The DC-DC converter characterized by having at least an armature-voltage control means to control to become the predetermined value which the output direct current voltage needs in the latter part while inputting said input direct current voltage and outputting direct current voltage in the DC-DC converter which makes the output direct current voltage of arbitration from input direct current voltage, and a pressure-up means to increase the pressure up of said output direct current voltage N times.

[Claim 2] Said armature-voltage control means is a DC-DC converter according to claim 1 characterized by consisting of a switching regulator.

[Claim 3] Said pressure-up means is a DC-DC converter according to claim 1 or 2 which has two capacitors, carries out parallel connection of said capacitor to the 1st period, charges with the output voltage of said armature-voltage control means, carries out series connection of said capacitor to the 2nd period, and is characterized by taking out the charge electrical potential difference outside, and performing each actuation of said the 1st and said 2nd period by turns.

[Claim 4] Said pressure-up means has the capacitor of one pair, and the capacitor of the pair of another side. At the 1st period At the same time it carries out parallel connection of the capacitor of one [ said ] pair and charges with the output voltage of said armature-voltage control means Series connection of the capacitor of the pair of said another side is carried out, and the charge electrical potential difference in front of that is taken out outside. At the 2nd period At the same time it carries out parallel connection of the capacitor of the pair of said another side and charges with said output voltage The DC-DC converter according to claim 1 or 2 which carries out series connection of the capacitor of one [ said ] pair, and is characterized by taking out the last charge electrical potential difference outside, and performing each actuation of said the 1st and 2nd period by turns.

[Claim 5] Said pressure-up means has two capacitors. At the 1st period Series connection of the charge electrical potential difference and supply voltage in front of the capacitor of said another side is carried out, and they are taken out at the same time it charges one [ said ] capacitor with the output voltage of said armature-voltage control means. At the 2nd period At the same time it charges the capacitor of said another side with the output voltage of said armature-voltage control means The DC-DC converter according to claim 1 or 2 characterized by carrying out series connection of the charge electrical potential difference and supply voltage in front of one [ said ] capacitor, taking them out, and performing each actuation of said the 1st and 2nd period by turns.

[Claim 6] A DC-DC converter given in any 1 claim of claim 1 to the claims 5 characterized by equipping the latter part of said pressure-up means with a stabilization means to stabilize the output voltage of the pressure-up means, further.

[Claim 7] The DC-DC converter characterized by having an armature-voltage control means to control to become the predetermined value which the output direct current voltage needs in the latter part while inputting said input direct current voltage and outputting direct current voltage in the DC-DC converter which makes the output direct current voltage of arbitration from input direct current voltage, and a pressure-lowering means to make the pressure of said output direct current voltage lower 1/N time.

[Claim 8] Said armature-voltage control means is a DC-DC converter according to claim 7 characterized by consisting of a switching regulator.

[Claim 9] Said pressure-lowering means is a DC-DC converter according to claim 7 or 8 which has two capacitors, carries out the series connection of said capacitor to the 1st period, charges with the output voltage of said armature-voltage control means, carries out parallel connection of said capacitor to the 2nd period, and is characterized by taking out the charge electrical potential difference outside, and performing each actuation of said the 1st and said 2nd period by turns.

[Claim 10] Said pressure-lowering means has the capacitor of one pair, and the capacitor of the pair of another side. At the 1st period At the same time it carries out series connection of the capacitor of one [ said ] pair and charges with the output voltage of said armature-voltage control means Parallel connection of the capacitor of the pair of said another side is carried out, and the charge electrical potential difference in front of that is taken out outside. At the 2nd period At the same time it carries out series connection of the capacitor of the pair of said another side and charges with said output voltage The DC-DC converter according to claim 7 or 8 which carries out parallel connection of the capacitor of one [ said ] pair, and is characterized by taking out the last charge electrical potential difference outside, and performing each actuation of said the 1st and 2nd period by turns.

[Claim 11] A DC-DC converter given in any 1 claim of claim 7 to the claims 10 characterized by equipping the latter part of said pressure-lowering means with a stabilization means to stabilize the output voltage of the pressure-lowering means, further.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a DC-DC converter with the sufficient conversion efficiency of an electrical potential difference especially about the DC-DC converter which makes the output direct current voltage of arbitration from input direct current voltage.

[0002]

[Description of the Prior Art] Conventionally, as an example of this kind of DC-DC converter, the thing as shown in drawing 20 is known.

[0003] This is the DC-DC converter of a pressure-up mold, and as shown in drawing 20, it is equipped with the booster circuit 2 of a charge pump method, and the series regulator (stabilization circuit) 3 at least.

[0004] Moreover, the input side is connected to DC power supply 1, and, as for the booster circuit 2, the capacitor C10 is connected between the output terminal and gland. Moreover, the booster circuit 2 consists of four switch S1 which consists of a capacitor CF and a transistor - S4, as shown in drawing 21. As for the series regulator 3, the capacitor C20 is connected between the output terminal and gland.

[0005] In the DC-DC converter which consists of such a configuration, the pressure up of the direct current voltage (for example, 3V) from DC power supply 1 is carried out in a booster circuit 2, for example, an about [ 6V ] pressure-up electrical potential difference is obtained. This pressure-up actuation is performed by repeating charge actuation of drawing 21 (A), and the transfer operation of this drawing (B) by turns.

[0006] That is, at the time of charge actuation, only switches S2 and S3 will be in a closed state in the half period of one clock, and Capacitor CF is charged by 3V. On the other hand, at the time of transfer operation, only a switch S1 and S4 will be in a closed state in the half period of the clock of another side, charge electrical-potential-difference 3V of Capacitor CF and 3V of supply voltage VDD are impressed to a serial, it is set to 6V, and this electrical potential difference turns into output voltage VOUT. The pressure of this pressure-up electrical potential difference is lowered by the series regulator 3, and he was trying to obtain desired direct current voltage (for example, 3.3V).

[0007] On the other hand, as other examples of the conventional DC-DC converter, although not illustrated, the DC-DC converter of a pressure-lowering mold is known.

[0008] After this pressure-lowering type of DC-DC converter lowers the pressure of input voltage by the charge pump method, and obtains desired output voltage through a series regulator or lowers the pressure of input voltage to a moderate electrical-potential-difference value, the pressure of it is lowered by the charge pump method, and it obtains desired output voltage.

[0009]

[Problem(s) to be Solved by the Invention] However, in the DC-DC converter of the conventional pressure-up mold, in the booster circuit 2, in order to carry out a pressure up in consideration of the minimum electrical potential difference of an input, the pressure up was carried out to the output of a series regulator 3 beyond the need. For this reason, the amount of [ in a series regulator 3 ] voltage drop became large, since this voltage drop was performed by resistance, that power consumption became large, consequently the conversion efficiency of an electrical potential difference was reduced.

[0010] Moreover, a booster circuit 2 is constituted as shown in drawing 21, it charges Capacitor CF as mentioned above [ while ] at the half period of a clock, and outputs the charge charge to the half period of the clock of another side. For this reason, when there was much load current of the load connected to a series regulator, it had also produced un-arranging [ that that load could not be used ].

[0011] On the other hand, in the DC-DC converter of the conventional pressure-lowering mold, when load-carrying capacity passed many load currents greatly, the electrical-potential-difference (conversion) loss by the series regulator occurred, and un-arranging [ that conversion efficiency fell ] had occurred.

[0012] Then, the purpose of this invention has a DC-DC converter in offering the DC-DC converter which can aim at improvement in conversion efficiency upwards, enlarges load current drive capacity, and can supply many load currents irrespective of a pressure-up mold or a pressure-lowering mold.

[0013]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem and to attain the purpose of this invention, each invention according to claim 1 to 11 was constituted as follows.

[0014] That is, in the DC-DC converter which makes the output direct current voltage of arbitration from input direct current voltage, invention according to claim 1 is characterized by having at least an armature-voltage control means to control to become the predetermined value which the output direct current voltage needs in the latter part, and a pressure-up means to increase the pressure up of said output direct current voltage N times while it inputs said input direct current voltage and outputs direct current voltage.

[0015] Invention according to claim 2 is characterized by said armature-voltage control means consisting of a switching regulator in a DC-DC converter according to claim 1.

[0016] Invention according to claim 3 is set to a DC-DC converter according to claim 1 or 2. Said pressure-up means Have two capacitors, carry out parallel connection of said capacitor to the 1st

period, and it charges with the output voltage of said armature-voltage control means. Series connection of said capacitor is carried out to the 2nd period, and the charge electrical potential difference is taken out outside, and it is characterized by performing each actuation of said the 1st and said 2nd period by turns.

[0017] Invention according to claim 4 is set to a DC-DC converter according to claim 1 or 2. Said pressure-up means It has the capacitor of one pair, and the capacitor of the pair of another side. At the 1st period At the same time it carries out parallel connection of the capacitor of one [ said ] pair and charges with the output voltage of said armature-voltage control means Series connection of the capacitor of the pair of said another side is carried out, and the charge electrical potential difference in front of that is taken out outside. At the 2nd period Series connection of the capacitor of one [ said ] pair is carried out, and the last charge electrical potential difference is taken out outside, and it is characterized by performing each actuation of said the 1st and 2nd period by turns at the same time it carries out parallel connection of the capacitor of the pair of said another side and charges with said output voltage.

[0018] Invention according to claim 5 is set to a DC-DC converter according to claim 1 or 2. Said pressure-up means At the same time it has two capacitors and charges one [ said ] capacitor with the output voltage of said armature-voltage control means at the 1st period Series connection of the charge electrical potential difference and supply voltage in front of the capacitor of said another side is carried out, and they are taken out. At the 2nd period Series connection of the charge electrical potential difference and supply voltage in front of one [ said ] capacitor is carried out, they are taken out, and it is characterized by performing each actuation of said the 1st and 2nd period by turns at the same time it charges the capacitor of said another side with the output voltage of said armature-voltage control means.

[0019] Invention according to claim 6 is characterized by equipping further any 1 claim of claim 1 to the claims 5 with a stabilization means to stabilize the output voltage of the pressure-up means in the latter part of said pressure-up means, in the DC-DC converter of a publication.

[0020] Thus, by each invention according to claim 6, it had an armature-voltage control means to generate the electrical potential difference needed in the latter part, from claim 1. for this reason, in the DC-DC converter of a pressure-up mold, since carrying out the pressure up of the input voltage of a pressure-up means superfluously is lost and it becomes unnecessary to lower the pressure of that pressure-up electrical potential difference in the latter part beyond the need, the conversion efficiency of an electrical potential difference is boiled markedly, and it can improve.

[0021] Moreover, in invention according to claim 2, since the switching regulator constituted the armature-voltage control means, power consumption can be reduced and the conversion efficiency of an electrical potential difference can be improved further.

[0022] A pressure-up means in invention according to claim 4 furthermore, at the 1st period At the same time it carries out parallel connection of the capacitor of one pair and charges with the output voltage of an armature-voltage control means Series connection of the capacitor of the pair of another side is carried out, and the charge electrical potential difference in front of that is taken out outside. At the 2nd period While carrying out parallel connection of the capacitor of the pair of another side and charging with the output voltage, series connection of the capacitor of one pair is carried out, the last charge electrical potential difference is taken out outside, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, load current drive capacity is enlarged, many load currents can be supplied upwards, and the ripple of output voltage can be decreased.

[0023] Said pressure-up means in invention according to claim 5 moreover, at the 1st period Series connection of the charge electrical potential difference and supply voltage in front of the capacitor of another side is carried out, and they are taken out at the same time it charges one capacitor with the output voltage of an armature-voltage control means. At the 2nd period While charging the capacitor of another side with the output voltage of an armature-voltage control means, series connection of the

charge electrical potential difference and supply voltage in front of one capacitor is carried out, they are taken out, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, in the case of the fixed electrical potential difference on which the electrical potential difference of a power source does not decrease with time amount like a cell, components, such as a capacitor to be used, are decreased, and a miniaturization can be attained to it.

[0024] Furthermore, in invention according to claim 6, since a stabilization means to stabilize the output voltage of the pressure-up means was formed in the latter part of a pressure-up means, the ripple voltage (noise) generated in pressure-up switching operation can be reduced, and reduction in the noise of output voltage and stabilization can be attained. In the DC-DC converter with which invention according to claim 7, on the other hand, makes the output direct current voltage of arbitration from input direct current voltage, while inputting said input direct current voltage and outputting direct current voltage, it is characterized by having an armature-voltage control means to control to become the predetermined value which the output direct current voltage needs in the latter part, and a pressure-lowering means to make the pressure of said output direct current voltage lower  $1/N$  time.

[0025] Invention according to claim 8 is characterized by said armature-voltage control means consisting of a switching regulator in a DC-DC converter according to claim 7.

[0026] Invention according to claim 9 is set to a DC-DC converter according to claim 7 or 8. Said pressure-lowering means Have two capacitors, carry out series connection of said capacitor to the 1st period, and it charges with the output voltage of said armature-voltage control means. Parallel connection of said capacitor is carried out to the 2nd period, and the charge electrical potential difference is taken out outside, and it is characterized by performing each actuation of said the 1st and said 2nd period by turns.

[0027] Invention according to claim 10 is set to a DC-DC converter according to claim 7 or 8. Said pressure-lowering means It has the capacitor of one pair, and the capacitor of the pair of another side. At the 1st period At the same time it carries out series connection of the capacitor of one [ said ] pair and charges with the output voltage of said armature-voltage control means Parallel connection of the capacitor of the pair of said another side is carried out, and the charge electrical potential difference in front of that is taken out outside. At the 2nd period Parallel connection of the capacitor of one [ said ] pair is carried out, and the last charge electrical potential difference is taken out outside, and it is characterized by performing each actuation of said the 1st and 2nd period by turns at the same time it carries out the series connection of the capacitor of the pair of said another side and charges with said output voltage.

[0028] Invention according to claim 11 is characterized by equipping further any 1 claim of claim 7 to the claims 10 with a stabilization means to stabilize the output voltage of the pressure-lowering means in the latter part of said pressure-lowering means, in the DC-DC converter of a publication.

[0029] Thus, by each invention according to claim 11, it had an armature-voltage control means to generate the electrical potential difference needed in the latter part, from claim 7. for this reason, in the DC-DC converter of a pressure-lowering mold, since making the pressure of the input voltage of a pressure-lowering means lower superfluously is lost and it becomes unnecessary to lower the pressure of that pressure-lowering electrical potential difference in the latter part beyond the need, the conversion efficiency of an electrical potential difference is boiled-markedly, and it can improve.....

[0030] Moreover, in invention according to claim 8, since the switching regulator constituted the armature-voltage control means, power consumption can be reduced and the conversion efficiency of an electrical potential difference can be improved further.

[0031] A pressure-lowering means in invention according to claim 10 furthermore, at the 1st period Parallel connection of the capacitor of the pair of another side is carried out, and the charge electrical potential difference in front of that is taken out outside at the same time it carries out the series connection of the capacitor of one pair and charges with input voltage. At the 2nd period While carrying out the series connection of the capacitor of the pair of another side and charging with input voltage,

parallel connection of the capacitor of one pair is carried out, the last charge electrical potential difference is taken out outside, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, load current drive capacity is enlarged, many load currents can be supplied upwards, and the ripple of output voltage can be decreased.

[0032] Moreover, in invention according to claim 11, since a stabilization means to stabilize the output voltage of the pressure-lowering means was formed in the latter part of a pressure-lowering means, the ripple voltage (noise) generated in pressure-lowering switching operation can be reduced, and reduction in the noise of output voltage and stabilization can be attained.

[0033]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to a drawing.

[0034] Drawing 1 is the block diagram showing the configuration of the 1st operation gestalt of the DC-DC converter of this invention.

[0035] The DC-DC converter concerning this 1st operation gestalt is a DC-DC converter of a pressure-up mold, and as shown in drawing 1, it is equipped with PURIREGYURETA 11 as an armature-voltage control means, the booster circuit 12 as a pressure-up means, the series regulator 13 as a stabilization means, and the control signal generation section 14 at least.

[0036] By controlling to become the predetermined value which output direct current voltage needs in the latter part, PURIREGYURETA 11 controls and has the input voltage of a booster circuit 12, and maintains the pressure-up electrical potential difference of a booster circuit 12 to a predetermined value while it inputs the direct current voltage of DC power supply 1. In addition, this PURIREGYURETA 11 is the point that power consumption is mitigated and increase in efficiency can be attained, and its switching PURIREGYURETA like the after-mentioned is desirable. A booster circuit 12 has the capacitor of two or more capacitors like the after-mentioned, makes that capacitor charge with input voltage, generates input voltage N times the electrical potential difference of that using that charge electrical potential difference, and outputs this electrical potential difference that carried out the pressure up. Here, N is two or more integers like 2 and 3 —.

[0037] Since a series regulator 13 has a possibility of the switching noise generated by pressure-up actuation influencing output voltage, and malfunction and the signal noise by the noise being overlapped in the circuit connected, and generating fault when the pressure-up electrical potential difference of a booster circuit 12 is outputted as it is, in order to prevent this, it attains reduction in the noise of the output voltage, and stabilization. In addition, since this series regulator 13 is not necessarily required, omitting depending on a load is possible.

[0038] The control signal generation section 14 generates various kinds of control signals supplied to each below-mentioned transistor of the below-mentioned OR circuit of PURIREGYURETA 11, and a booster circuit 12, and as shown in drawing 1, it consists of an oscillator circuit 141 which consists of a CR oscillator circuit etc., a frequency divider 142 which carries out dividing of the output of the oscillator circuit 141, and a phase contrast generating circuit 143 which gives phase contrast to an output signal from the frequency divider 142, and generates various kinds of above-mentioned control signals.

[0039] Next, the configuration of PURIREGYURETA 11 of this 1st operation gestalt, a booster circuit 12, and the concrete circuit of a series regulator 13 is explained, referring to drawing 2.

[0040] As shown in drawing 2, PURIREGYURETA 11 consists of the reference voltage generating circuit 111, the output voltage detector 112 which detects output voltage, the operational amplifier 113 which functions as comparators, NAND gate 114, OR gate 115, and a PMOS transistor Q1 as a switching device, and constitutes switching PURIREGYURETA by these.

[0041] The reference voltage generating circuit 111 generates the reference voltage at the time of an operational amplifier 113 comparing with the detection output voltage of the output voltage detector 112, and this reference voltage is supplied to + input terminal of an operational amplifier 113. The output

voltage detector 112 connects resistance R1 and R2 to a serial between the input highway 29 of a booster circuit 12, and a gland, and is connecting the common node of the resistance R1 and resistance R2 to – input terminal of an operational amplifier 113.

[0042] As for the operational amplifier 113, the output terminal is connected to one input terminal of NAND gate 114. The control signal (/CL1) from the control signal generation section 14 is inputted into the input terminal of one of these, and, as for OR gate 115, a control signal (/XCL1) is inputted into the input terminal of the another side. Here, the above-mentioned “/” is a notation which shows reversal, and presupposes that it is the same as that of the following.

[0043] The output terminal of OR gate 115 is connected to the input terminal of another side of NAND gate 114. The output terminal of NAND gate 114 is connected to the gate of the PMOS transistor Q1. Moreover, the PMOS transistor Q1 is connected to the input terminal 21 which the source connects with DC power supply 1, and the drain is connected to the input side of a booster circuit 12.

[0044] Next, if a booster circuit 12 is explained, as this booster circuit 12 is shown in drawing 2, while integrated-circuit-izing MOS transistors Q2–Q11 which function as a switching device, for example and containing in a package, capacitors C1–C5 will be connected to the external terminals 22–28.

[0045] Here, each electrostatic-capacity value of capacitors C1–C4 presupposes that it is desirable and the same. Moreover, capacitors C1 and C2 function as a pair like the after-mentioned, and capacitors C3 and C4 function as a pair similarly. Furthermore, each electrostatic-capacity value of capacitors C1–C4 is made smaller than the electrostatic-capacity value of a capacitor C5.

[0046] A booster circuit 12 has the input highway 29, as shown in drawing 2, and the PMOS transistor Q2 and the PMOS transistor Q3 are connected to the serial between the input highway 29 and terminal 23. The common connection of the PMOS transistors Q2 and Q3 is connected to a terminal 22, and the capacitor C1 is connected between the terminal 22 and the gland. The NMOS transistor Q4 is connected with the terminal 23 between glands. The capacitor C2 is connected between the terminal 23 and the terminal 26. A control signal CL 1 is supplied to the gate of the PMOS transistor Q2 from the control signal generation section 14, a control signal XCL1 is supplied to the gate of the PMOS transistor Q3, and a control signal (/CL1) is supplied to the gate of the NMOS transistor Q4.

[0047] Furthermore, the PMOS transistor Q5 and the PMOS transistor Q6 are connected to the serial between the input highway 29 and the terminal 24. The common connection of the PMOS transistors Q5 and Q6 is connected to a terminal 28, and the capacitor C3 is connected between the terminal 28 and the gland. The NMOS transistor Q7 is connected with the terminal 24 between glands. The capacitor C4 is connected between the terminal 24 and the terminal 25. A control signal XCL1 is supplied to the gate of the PMOS transistor Q5 from the control signal generation section 14, a control signal CL 1 is supplied to the gate of the PMOS transistor Q6, and a control signal (/XCL1) is supplied to the gate of the NMOS transistor Q7.

[0048] Moreover, the PMOS transistor Q8 and the PMOS transistor Q9 are connected to the serial between the input highway 29 and the output line 30. The common connection of the PMOS transistors Q8 and Q9 is connected to the terminal 25. A control signal XCL2 is supplied to the gate of the PMOS transistor Q8, and a control signal CL 2 is supplied to the gate of the PMOS transistor Q9.

[0049] Furthermore, the PMOS transistor Q10 and the PMOS transistor Q11 are connected to the serial between the input highway 29 and the terminal 27. The common connection of the PMOS transistors Q10 and Q11 is connected to the terminal 26. While a terminal 27 is connected with an output line 30, the capacitor C5 is connected between the terminal 27 and gland. A control signal CL 2 is supplied to the gate of the PMOS transistor Q10, and a control signal XCL2 is supplied to the gate of the PMOS transistor Q11.

[0050] Next, explanation of a series regulator 13 constitutes this series regulator 13 from the reference voltage generating circuit 131, an output voltage detector 132 which detects output voltage, an operational amplifier 133, and a PMOS transistor Q12, as shown in drawing 2.

[0051] The reference voltage generating circuit 131 generates the reference voltage at the time of an

operational amplifier 133 comparing with the detection output voltage of the output voltage detector 132, and this reference voltage is supplied to - input terminal of an operational amplifier 133.

[0052] The output voltage detector 132 connects resistance R3 and R4 to a serial between an output terminal 31 and a gland, and the common node of the resistance R3 and resistance R4 is connected to + input terminal of an operational amplifier 133. The capacitor C6 is connected between the output terminal 31 and the gland.

[0053] As for the operational amplifier 133, the output terminal is connected to the gate of the PMOS transistor Q12. The PMOS transistor Q12 is connected between the output line 30 of a booster circuit 12, and the output terminal 31 of a series regulator 13.

[0054] Next, actuation of each part of the 1st operation gestalt constituted as mentioned above is explained with reference to a drawing.

[0055] First, actuation of the booster circuit 12 shown in drawing 2 is explained with reference to drawing 2 – drawing 4.

[0056] Now, as shown in drawing 3, at time of day t1, the control signal (/CL1) outputted from the control signal generation section 14 falls, and control signals CL1 and CL2 start. For this reason, MOS transistor Q4 becomes off with a control signal (/CL1), MOS transistors Q2 and Q6 become off with a control signal CL 1, and MOS transistors Q9 and Q10 become off with a control signal CL 2.

[0057] Moreover, since a control signal XCL1, (/XCL1), and XCL2 are changeless, MOS transistors Q3 and Q5 controlled by the control signal XCL1 are still off, MOS transistor Q7 controlled by the control signal (/XCL1) is still off, and MOS transistors Q8 and Q11 controlled by the control signal XCL2 are still off at time of day t1.

[0058] Next, if time of day t2 comes, control signals XCL1 and XCL2 will fall, and a control signal (/XCL1) will start. For this reason, MOS transistors Q3 and Q5 serve as ON with a control signal XCL1, MOS transistors Q8 and Q11 serve as ON with a control signal XCL2, and MOS transistor Q7 is turned on with a control signal (/XCL1).

[0059] Moreover, at time of day t2, since a control signal (/CL1), and CL1 and CL2 are changeless, MOS transistor Q4 maintains the condition that OFF and MOS transistors Q2 and Q6 are [ OFF and MOS transistors Q9 and Q10 ] off.

[0060] Then, by the period T1 of time of day t2 to the time of day t3, since neither changes as (a control signal (/CL1), CL1 and XCL1, /XCL1), and CL2 and XCL2 are shown in drawing 3, each condition of MOS transistors Q2–Q11 comes to be shown in drawing 4. Therefore, in a period T1, as shown in drawing 6 (A), while it connects with juxtaposition and a capacitor C3 and a capacitor C4 are charged with input voltage, a capacitor C1 and a capacitor C2 are connected to a serial, and the charge electrical potential difference turns into output voltage.

[0061] If time of day t3 comes, while control signals XCL1 and XCL2 start, a control signal (/XCL1) falls, and a control signal (/CL1), and CL1 and CL2 are changeless. For this reason, MOS transistors Q3, Q5, Q7, Q8, and Q11 become off, and MOS transistors Q2, Q4, Q6, Q9, and Q10 maintain the condition of OFF.

[0062] Next, if time of day t4 comes, while a control signal (/CL1) starts and control signals CL1 and CL2 will fall, it is changeless to a control signal XCL1, (/XCL1), and XCL2. For this reason, MOS transistors Q2, Q4, Q6, Q9, and Q10 are turned on, and MOS transistors Q3, Q5, Q7, Q8, and Q11 maintain an off condition.

[0063] Then, by the period T2 of time of day t4 to the time of day t5, since neither changes as (a control signal (/CL1), CL1 and XCL1, /XCL1), and CL2 and XCL2 are shown in drawing 3, each condition of MOS transistors Q2–Q11 comes to be shown in drawing 5. Therefore, in a period T2, as shown in drawing 6 (B), while it connects with juxtaposition and a capacitor C1 and a capacitor C2 are charged with input voltage, a capacitor C3 and a capacitor C4 are connected to a serial, and the charge electrical potential difference turns into output voltage.

[0064] Henceforth, such actuation is repeated and the output voltage is supplied to a series regulator 13.

[0065] Next, actuation of each part of PURIREGYURETA 11 shown in drawing 2 is explained with reference to a drawing.

[0066] As mentioned above, in the booster circuit 12, although the capacitors C1 and C2 of a pair and the capacitors C3 and C4 of a pair are charged by turns, with this 1st operation gestalt, the pressure-up electrical potential difference of that booster circuit 12, i.e., the charge electrical potential difference of capacitors C1-C4, needed to be maintained to the predetermined value, output voltage needed to be made into the predetermined value, and PURIREGYURETA 11 has achieved that duty.

[0067] That is, in PURIREGYURETA 11, the output voltage detector 112 detects output voltage (input voltage of a booster circuit 12). An operational amplifier 113 outputs the signal of "L" level, when detection output voltage exceeds reference voltage as compared with the reference voltage in which the reference voltage generating circuit 11 generates the detection output voltage, and conversely, when detection output voltage is less than reference voltage, it outputs the signal of "H" level.

[0068] On the other hand, the control signal (/CL1) shown in drawing 3 and (/XCL1) are inputted into OR gate 115. for this reason, the output of OR gate 115 — time of day t1-t2 — "L" level and time of day t2-t3 — "H" level and time of day t3-t4 — "L" level and time of day t4-t5 — "H" level — as — "L" level and "H" level are repeated by turns.

[0069] For this reason, although the output of an operational amplifier 113 serves as "H" or "L" level according to the reference voltage of detection output voltage and this is inputted into NAND gate 114, this input is intermittently controlled by the output of OR gate 115. Consequently, switching control of MOS transistor Q1 is carried out so that the output voltage of PURIREGYURETA 11 may turn into a fixed electrical potential difference (for example, 1.8V).

[0070] Next, actuation of each part of a series regulator 13 shown in drawing 2 is explained with reference to a drawing.

[0071] In a series regulator 13, the output voltage detector 132 detects output voltage. An operational amplifier 133 controls the output voltage according to detection output voltage as compared with the reference voltage in which the reference voltage generating circuit 131 generates the detection output voltage. The output resistance of MOS transistor Q12 is controlled by this, and the input voltage of a series regulator 13 is controlled, consequently the output voltage (for example, 3.3V) becomes predetermined.

[0072] Next, an example which made the trial calculation of electrical-potential-difference conversion efficiency is shown in drawing 7 about the conventional DC-DC converter shown in the 1st operation gestalt shown in drawing 1, and drawing 20.

[0073] In the 1st operation gestalt, if output voltage of 1.8V and a booster circuit 12 is set [ the input voltage of PURIREGYURETA 11 / the output voltage of 3V and a series regulator 13 ] to  $1.8V \times 2 = 3.6V$  for the output of 3.3V and PURIREGYURETA 11 and conversion efficiency of PURIREGYURETA 11 is made into 100% as shown in drawing 1, the conversion efficiency will become  $x(3.3V/3.6V)100\% = 92\%$ .

[0074] On the other hand, if output voltage of 6V and a series regulator 3 is set [ the input voltage of a booster circuit 2 ] to 3.3V for the input voltage of 3V and a series regulator 3 and conversion efficiency of a booster circuit 2 is made into 100% in the conventional DC-DC converter as shown in drawing 20, the conversion efficiency will become  $x(3.3V/6V)100\% = 55\%$ .

[0075] In fact, since the loss by the on resistance in the switching transistor of PURIREGYURETA 11 or a booster circuit 2 occurs, each of that conversion efficiency falls rather than the above, and the trial calculation result of having taken it into consideration comes to be shown in drawing 7.

[0076] Next, the ripple property and current drive capacity of the 1st operation gestalt are explained with reference to drawing 8.

[0077] In the 1st operation gestalt, when the configuration of a booster circuit 12 shows drawing 2, (2 Case of a phase drive) and the output voltage of a booster circuit 12 come to be shown in drawing 8 (B). On the other hand, in the 1st operation gestalt, in constituting this from a circuit which carries out charge and discharge, (the case of a plane 1 drive) and its output voltage come to indicate booster

circuits 12 to be capacitors C1 and C2 to drawing 8 (A). In addition, in this plane 1 drive, it is equivalent to the booster circuit of the conventional DC-DC converter of drawing 21.

[0078] Here, if ripple voltage of the output voltage in the plane 1 drive which shows the ripple voltage of the output voltage in 2 phase drives shown in drawing 8 (B) to deltaV2 and drawing 8 (A) is set to deltaV1, both relation will become deltaV2\*\* (deltaV1/2), and a ripple will be improved to conventional one half.

[0079] Therefore, in adopting 2 phase drives as a booster circuit 12 shows to drawing 2 in the 1st operation gestalt, compared with the booster circuit (the conventional booster circuit) of a plane 1 drive, current drive capacity becomes twice, and an output impedance is set to one half. For example, an output impedance is reduced by 200ohms, then 100 ohms.

[0080] Next, the modification of PURIREGYURETA 11 shown in drawing 2 is explained with reference to drawing 9.

[0081] As opposed to PURIREGYURETA 11 which shows this PURIREGYURETA 11A to drawing 2 The reference voltage generating circuit 116 which generates reference voltage, and the electrical-potential-difference detector 117 which consists of resistance R5 and R6, and detects the output voltage of a booster circuit 12, or the output voltage of a series regulator 13, While adding the operational amplifier 118 which functions as a comparator, and OR gate 119 and inputting each output of operational amplifiers 113 and 118 into OR gate 119, it is made to output the output of OR gate 119 to NAND gate 114. In addition, since the configuration of other parts is the same as the configuration of PURIREGYURETA 11 of drawing 2, the same sign is attached and the explanation is omitted.

[0082] Since the input voltage of a booster circuit 12 can be controlled by PURIREGYURETA11A which consists of such a configuration according to the output voltage when the electrical-potential-difference detector 117 detects the output voltage of a booster circuit 12; there is an advantage that output voltage is made to a predetermined value according to a load.

[0083] with this 1st operation gestalt, as explained above, since carrying out the pressure up of the input voltage of a booster circuit 12 superfluously in the DC-DC converter of a pressure-up mold since it had PURIREGYURETA 11 which generates the electrical potential difference which the latter part needs is lost and it becomes unnecessary to lower the pressure of that pressure-up electrical potential difference in the latter part beyond the need, the conversion efficiency of an electrical potential difference is boiled markedly, and it can improve.

[0084] Moreover, since it was made for a switching regulator as shows PURIREGYURETA 11 to drawing 2 to constitute from this 1st operation gestalt, power consumption can be reduced and the conversion efficiency of an electrical potential difference can be improved further.

[0085] A booster circuit 12 with this 1st operation gestalt furthermore, at the 1st period Series connection of the capacitor 3 and C 4 is carried out, and the charge electrical potential difference in front of that is taken out outside at the same time it carries out parallel connection of the capacitors C1 and C2 and charges. At the 2nd period While carrying out parallel connection of the capacitors C3 and C4 and charging, series connection of the capacitors C1 and C2 is carried out, the last charge electrical potential difference is taken out outside, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, load current drive capacity can be enlarged, many load currents can be supplied upwards, and the ripple of output voltage can be decreased.

[0086] Moreover, with this 1st operation gestalt, since the series regulator 13 which stabilizes the output voltage of that booster circuit 12 was formed in the latter part of a booster circuit 12, also when there is a switching noise generated by pressure-up actuation, that effect can be removed and stabilization of output voltage can be attained.

[0087] Next, the example of a configuration of the 2nd operation gestalt of the DC-DC converter of this invention is explained with reference to drawing 10.

[0088] The DC-DC converter concerning this 2nd operation gestalt is replaced with booster circuit 12A which shows the booster circuit 12 of the 1st operation gestalt which replaces with the capacitors C1

and C3 in the 1st operation gestalt of drawing 2, and uses the electrical potential difference of DC power supply 1, for this reason is shown in drawing 2 to drawing 10.

[0089] If the point of having replaced the booster circuit 12 with booster circuit 12A is removed, since this 2nd operation gestalt is the same as that of the configuration of the 1st operation gestalt shown in drawing 2, the same sign is given to the component of other parts, and that explanation is omitted.

[0090] Booster circuit 12A shown in drawing 10 connects each source of MOS transistors Q3 and Q6 to a terminal 22, and connects a terminal 22 to a terminal 21 further while it omits capacitors C1 and C3 and MOS transistors Q2 and Q5 from the booster circuit 12 shown in drawing 2.

[0091] In addition, since the configuration of other parts of booster circuit 12A is the same as the configuration of a booster circuit 12, the same sign is given to the component of other parts, and the explanation is omitted.

[0092] Moreover, since it replaces with the capacitors C1 and C3 in the 1st operation gestalt of drawing 2 and the electrical potential difference of DC power supply 1 was used with this 2nd operation gestalt, an electrical potential difference does not fall with time amount like a cell, DC power supply 1 rectify alternating voltage, and its thing is desirable in fixed direct current voltage.

[0093] Next, actuation of booster circuit 12A of the 2nd operation gestalt constituted as mentioned above is explained with reference to drawing 3, drawing 10 – Fig. 1313.

[0094] Now, as shown in drawing 3, at time of day t1, the control signal (/CL1) outputted from the control signal generation section 14 falls, and control signals CL1 and CL2 start. For this reason, MOS transistor Q4 becomes off with a control signal (/CL1), MOS transistor Q6 becomes off with a control signal CL 1, and MOS transistors Q9 and Q10 become off with a control signal CL 2.

[0095] Moreover, since a control signal XCL1, (/XCL1), and XCL2 are changeless, MOS transistor Q3 controlled by the control signal XCL1 is still off, MOS transistor Q7 controlled by the control signal (/XCL1) is still off, and MOS transistors Q8 and Q11 controlled by the control signal XCL2 are still off at time of day t1.

[0096] Next, if time of day t2 comes, control signals XCL1 and XCL2 will fall, and a control signal (/XCL1) will start. For this reason, MOS transistor Q3 serves as ON with a control signal XCL1, MOS transistors Q8 and Q11 serve as ON with a control signal XCL2, and MOS transistor Q7 is turned on with a control signal (/XCL1). Moreover, at time of day t2, since a control signal (/CL1), and CL1 and CL2 are changeless, MOS transistors Q4, Q6, Q9, and Q10 maintain an off condition.

[0097] Then, by the period T1 of time of day t2 to the time of day t3, since neither changes as (a control signal (/CL1), CL1 and XCL1, /XCL1), and CL2 and XCL2 are shown in drawing 3, each condition of MOS transistors Q3, Q4, Q6–Q11 comes to be shown in drawing 11. Therefore, in a period T1, as shown in drawing 13 (A), while a capacitor C4 is charged with input voltage, DC power supply 1 and a capacitor C2 are connected to a serial, and the serial electrical potential difference turns into output voltage.

[0098] If time of day t3 comes, while control signals XCL1 and XCL2 start, a control signal (/XCL1) falls, and a control signal (/CL1), and CL1 and CL2 are changeless. For this reason, MOS transistors Q3, Q7, Q8, and Q11 become off, and MOS transistors Q4, Q6, Q9, and Q10 maintain the condition of OFF.

[0099] Next, if time of day t4 comes, while a control signal (/CL1) starts and control signals CL1 and CL2 will fall, it is changeless to a control signal XCL1, (/XCL1), and XCL2. For this reason, MOS transistors Q4, Q6, Q9, and Q10 are turned on, and MOS transistors Q3, Q7, Q8, and Q11 maintain an off condition.

[0100] Then, by the period T2 of time of day t4 to the time of day t5, since neither changes as (a control signal (/CL1), CL1 and XCL1, /XCL1), and CL2 and XCL2 are shown in drawing 3, each condition of MOS transistors Q3, Q4, Q6–Q11 comes to be shown in drawing 12. Therefore, in a period T2, as shown in drawing 13 (B), while a capacitor C2 is charged with input voltage, DC power supply 1 and a capacitor C4 are connected to a serial, and the serial electrical potential difference turns into output voltage.

[0101] Henceforth, such actuation is repeated and the output voltage is supplied to a series regulator 13. [0102] As explained above, according to this 2nd operation gestalt, booster circuit 12A at the 1st period Series connection of the capacitor C2 is carried out to DC power supply 1, and the just before electrical potential difference is taken out outside at the same time it charges C4. At the 2nd period While charging C2, series connection of the capacitor C4 is carried out to DC power supply 1, the just before electrical potential difference is taken out outside, and it was made to perform each actuation of the 1st and 2nd period by turns.

[0103] For this reason, in the case of the fixed electrical potential difference on which the electrical potential difference of a power source does not decrease with time amount like a cell, components, such as a capacitor to be used, are decreased, and a miniaturization can be attained to it. Furthermore, like the 1st operation gestalt, load current drive capacity can be enlarged, many load currents can be supplied upwards, and the ripple of output voltage can also be decreased.

[0104] Next, the example of a configuration of the 3rd operation gestalt of the DC-DC converter of this invention is explained with reference to drawing 14.

[0105] The DC-DC converter concerning this 3rd operation gestalt is a DC-DC converter of a pressure-lowering mold, and as shown in drawing 14 R>4, it is equipped with PURIREGYURETA 41 as an armature-voltage control means, the pressure-lowering circuit 42 as a pressure-lowering means, the series regulator 43 as a stabilization means, and the control signal generation section 44 at least.

[0106] By controlling to become the predetermined value which output voltage needs in the latter part, PURIREGYURETA 41 controls and has the input voltage of the pressure-lowering circuit 42, and maintains the pressure-lowering electrical potential difference of the pressure-lowering circuit 42 to a predetermined value while it inputs the direct current voltage of DC power supply 1. In addition, this PURIREGYURETA 41 is the point that power consumption is mitigated and increase in efficiency can be attained, and its switching PURIREGYURETA shown in drawing 15 is desirable.

[0107] The pressure-lowering circuit 42 has the capacitor of two or more capacitors like the after-mentioned, makes that capacitor charge with input voltage, generates input voltage 1/N time the electrical potential difference of that using that charge electrical potential difference, and outputs this electrical potential difference whose pressure was lowered. Here, N is two or more integers like 2 and 3

---

[0108] Since a series regulator 43 has a possibility of a noise being overlapped on malfunction and the signal by the noise in the circuit where the switching noise generated by pressure-lowering actuation is connected to output voltage by influencing, and generating fault when the pressure-lowering electrical potential difference of the pressure-lowering circuit 42 is outputted as it is, in order to prevent this, it attains stabilization of the output voltage. In addition, since this series regulator 43 is not necessarily required, omitting depending on a load is possible.

[0109] The control signal generation section 44 generates various kinds of control signals supplied to each below-mentioned transistor of the below-mentioned OR circuit of PURIREGYURETA 41, and the pressure-lowering circuit 42, and as shown in drawing 14, it consists of an oscillator circuit 441 which consists of a CR oscillator circuit etc., a frequency divider 442 which carries out dividing of the output of the oscillator circuit 441, and a phase contrast generating circuit 443 which gives phase contrast to an output signal from the frequency divider 442, and generates various kinds of above-mentioned control signals.

[0110] Next, an example of PURIREGYURETA 41 of this 3rd operation gestalt, the pressure-lowering circuit 42, and the concrete circuit of a series regulator 43 is explained, referring to drawing 15.

[0111] First, since it is constituted like PURIREGYURETA 15 shown in drawing 2, PURIREGYURETA 41 gives the same sign to the same component, and omits the explanation. In addition, PURIREGYURETA 41 can be permuted by PURIREGYURETA 11A shown in drawing 9. Next, if the pressure-lowering circuit 42 is explained, as this pressure-lowering circuit 42 is shown in drawing 1515, while integrated-circuitizing MOS transistors Q21-Q30 which function as a switching device, for example and containing

in a package, capacitors C11–C14 and a capacitor C5 will be connected to the external terminals 51–57. [0112] Here, each electrostatic-capacity value of capacitors C11–C14 presupposes that it is desirable and the same. Moreover, capacitors C11 and C12 function as a pair like the after-mentioned, and capacitors C13 and C14 function as a pair similarly. Furthermore, each electrostatic-capacity value of capacitors C11–C14 is made smaller than the electrostatic-capacity value of a capacitor C15.

[0113] The pressure-lowering circuit 42 has the input highway 58, as shown in drawing 15, and the PMOS transistor Q27 and the PMOS transistor Q28 are connected to the serial between the input highway 58 and output highway 59. The common connection of the PMOS transistors Q27 and Q28 is connected to a terminal 55, and the capacitor C14 is connected between the terminal 55 and the terminal 54. A control signal CL 1 is supplied to the gate of the PMOS transistor Q27 from the control signal generation section 44, and a control signal XCL1 is supplied to the gate of the PMOS transistor Q28.

[0114] Moreover, the PMOS transistor Q29 and the PMOS transistor Q30 are connected to the serial between the input highway 58 and the output highway 59. The common connection of the PMOS transistors Q29 and Q30 is connected to a terminal 56, and the capacitor C12 is connected between the terminal 56 and the terminal 52. The common path cord 59 is connected to an output terminal 57, and the capacitor C5 is connected between the output terminal 57 and gland. A control signal XCL1 is supplied to the gate of the PMOS transistor Q29 from the control signal generation section 44, and a control signal CL 1 is supplied to the gate of the PMOS transistor Q30.

[0115] Furthermore, the PMOS transistor Q21 is connected between the terminal 51 and the output highway 59. The capacitor C11 is connected between the terminal 51 and the gland. The PMOS transistor Q22 is connected between a terminal 51 and a terminal 52, and the NMOS transistor Q23 is connected between the terminal 52 and the gland. A control signal CL 1 is supplied to the gate of the PMOS transistor Q21 from the control signal generation section 44, a control signal XCL1 is supplied to the gate of the PMOS transistor Q22, and a control signal (/CL1) is supplied to the gate of the NMOS transistor Q23.

[0116] The PMOS transistor Q24 is connected between the terminal 53 and the output highway 59 further again. The capacitor C13 is connected between the terminal 53 and the gland. The PMOS transistor Q25 is connected between a terminal 53 and a terminal 54, and the NMOS transistor Q26 is connected between the terminal 54 and the gland. A control signal XCL1 is supplied to the gate of the PMOS transistor Q24 from the control signal generation section 44, a control signal CL 1 is supplied to the gate of the PMOS transistor Q25, and a control signal (/XCL1) is supplied to the gate of the NMOS transistor Q26.

[0117] Moreover, since it is constituted like the series regulator 13 shown in drawing 2, the series regulator 43 of drawing 15 gives the same sign to the same component, and omits the explanation.

[0118] Next, actuation of each part of the 3rd operation gestalt constituted as mentioned above is explained with reference to a drawing.

[0119] First, actuation of the pressure-lowering circuit 42 shown in drawing 15 is explained with reference to drawing 15 – drawing 19.

[0120] Now, as shown in drawing 16, at time of day t1, the control signal (/CL1) outputted from the control signal generation section 44 falls, and a control signal CL 1 starts. For this reason, MOS transistors Q23 becomes off with a control signal (/CL1), and MOS transistors Q21, Q25, Q27, and Q30 become off with a control signal CL 1.

[0121] Moreover, at time of day t1, since a control signal XCL1 and (/XCL1) are changeless, MOS transistors Q22, Q24, Q28, and Q29 controlled by the control signal XCL1 are still off, and MOS transistor Q26 controlled by the control signal (/XCL1) is still off.

[0122] Next, if time of day t2 comes, a control signal XCL1 will fall and a control signal (/XCL1) will start. For this reason, MOS transistors Q22, Q24, Q28, and Q29 serve as ON with a control signal XCL1, and MOS transistor Q26 is turned on with a control signal (/XCL1).

[0123] Moreover, at time of day t2, since a control signal (/CL1) and CL1 are changeless, MOS transistor Q23 maintains the condition that OFF and MOS transistors Q21, Q25, Q27, and Q30 are off.

[0124] Then, by the period T1 of time of day t2 to the time of day t3, since neither changes as shown in drawing 16, (a control signal (/CL1), CL1 and XCL1, /XCL1) come to show each condition of MOS transistors Q21–Q30 in drawing 1717. Therefore, in a period T1, as shown in drawing 19 (A), while it connects with a serial and a capacitor C11 and a capacitor C12 are charged with input voltage, a capacitor C13 and a capacitor C14 are connected to juxtaposition, and the charge electrical potential difference turns into output voltage.

[0125] If time of day t3 comes, while a control signal XCL1 starts, a control signal (/XCL1) falls, and a control signal (/CL1) and CL1 are changeless. For this reason, MOS transistors Q22, Q24, Q26, Q28, and Q29 become off, and MOS transistors Q21, Q23, Q25, Q27, and Q30 maintain the condition of OFF.

[0126] Next, if time of day t4 comes, while a control signal (/CL1) starts and a control signal CL 1 will fall, it is changeless to a control signal XCL1 and (/XCL1). For this reason, MOS transistors Q21, Q23, Q25, Q27, and Q30 serve as ON, and maintain the condition that MOS transistors Q22, Q24, Q26, Q28, and Q29 are off.

[0127] Then, by the period T2 of time of day t4 to the time of day t5, since neither changes as shown in drawing 16, (a control signal (/CL1), CL1 and XCL1, /XCL1) come to show each condition of MOS transistors Q21–Q30 in drawing 1818. Therefore, in a period T2, as shown in drawing 19 (B), while it connects with a serial and a capacitor C13 and a capacitor C14 are charged with input voltage, a capacitor C11 and a capacitor C12 are connected to juxtaposition, and the charge electrical potential difference turns into output voltage.

[0128] Henceforth, such actuation is repeated and the output voltage is supplied to a series regulator 13.

[0129] In addition, since it is fundamentally the same, the explanation is abbreviated to each actuation of PURIREGYURETA 11 and a series regulator 13 which shows actuation of each part of PURIREGYURETA 41 and a series regulator 43 shown in drawing 15 to drawing 2.

[0130] with this 3rd operation gestalt, as explained above, since making the pressure of the input voltage of the pressure-lowering circuit 42 lower superfluously in the DC–DC converter of a pressure-lowering mold since it had PURIREGYURETA 41 which generates the electrical potential difference needed in the latter part is lost and it becomes unnecessary to lower the pressure of that pressure-lowering electrical potential difference in the latter part beyond the need, the conversion efficiency of an electrical potential difference is boiled markedly, and it can improve.

[0131] Moreover, since the switching regulator constituted PURIREGYURETA 41 from this 3rd operation gestalt as shown in drawing 15, power consumption can be reduced and the conversion efficiency of an electrical potential difference can be improved further.

[0132] The pressure-lowering circuit 42 with this 3rd operation gestalt furthermore, at the 1st period Parallel connection of the capacitor 13 and C 14 is carried out, and the charge electrical potential difference in front of that is taken out outside at the same time it carries out the series connection of the capacitors C11 and C12 and charges. At the 2nd period While carrying out the series connection of the capacitors C13 and C14 and charging, parallel connection of the capacitors C11 and C12 is carried out, the last charge electrical potential difference is taken out outside, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, load current drive capacity can be enlarged, many load currents can be supplied upwards, and the ripple of output voltage can be decreased.

[0133] Moreover, with this 3rd operation gestalt, since the series regulator 43 which stabilizes the output voltage of that pressure-lowering circuit 42 was formed in the latter part of the pressure-lowering circuit 42, also when there is a switching noise generated by pressure-lowering actuation, that effect can be removed and stabilization of output voltage can be attained.

[0134] In addition, although the above-mentioned 1st operation gestalt explained the booster circuit 12 as a thing of 2 phase drives as shown in drawing 2, it is also possible to consider a booster circuit 12 as

'a plane 1 drive as mentioned above in this invention.

[0135] Moreover, although the above-mentioned 3rd operation gestalt explained the pressure-lowering circuit 42 as a thing of 2 phase drives as shown in drawing 15, it is also possible to omit the capacitors C13 and C14 of the pressure-lowering circuit 42 etc., and to consider as the so-called plane 1 drive in this invention.

[0136]

[Effect of the Invention] As explained above, in each invention which starts claim 6 from claim 1, it had an armature-voltage control means to generate the electrical potential difference needed in the latter part. for this reason, since carrying out the pressure up of the input voltage of a pressure-up means superfluously is lost and it becomes unnecessary to lower the pressure of that pressure-up electrical potential difference in the latter part beyond the need, the conversion efficiency of an electrical potential difference is boiled markedly, and it can improve.

[0137] Moreover, in invention concerning claim 2, since the switching regulator constituted the armature-voltage control means, power consumption can be reduced and the conversion efficiency of an electrical potential difference can be improved further.

[0138] A pressure-up means in invention concerning claim 4 furthermore, at the 1st period At the same time it carries out parallel connection of the capacitor of one pair and charges with the output voltage of an armature-voltage control means Series connection of the capacitor of the pair of another side is carried out, and the charge electrical potential difference in front of that is taken out outside. At the 2nd period While carrying out parallel connection of the capacitor of the pair of another side and charging with the output voltage, series connection of the capacitor of one pair is carried out, the last charge electrical potential difference is taken out outside, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, the load current is enlarged, load-carrying capacity can enlarge it upwards, and the ripple of output voltage can be decreased.

[0139] A pressure-up means in invention concerning claim 5 moreover, at the 1st period Series connection of the charge electrical potential difference and supply voltage in front of the capacitor of another side is carried out, and they are taken out at the same time it charges one capacitor with the output voltage of an armature-voltage control means. At the 2nd period While charging the capacitor of another side with the output voltage of an armature-voltage control means, series connection of the charge electrical potential difference and supply voltage in front of one capacitor is carried out, they are taken out, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, in the case of the fixed electrical potential difference on which the electrical potential difference of a power source does not decrease with time amount like a cell, components, such as a capacitor to be used, are decreased, and a miniaturization can be attained to it.

[0140] Moreover, in invention concerning claim 6, since a stabilization means to stabilize the output voltage of the pressure-up means was formed in the latter part of a pressure-up means, also when there is a noise etc., stabilization of output voltage can be attained. On the other hand, in each invention which starts claim 11 from claim 7, it had the armature-voltage control means which carries out the electrical potential difference needed in the latter part raw <TXF FR=0001 HE=115 WI=080 LX=0200 LY=0300> \*\*. for this reason, in the DC-DC converter of a pressure-lowering mold, since making the pressure of the input voltage of a pressure-lowering means lower superfluously is lost and it becomes unnecessary to lower the pressure of that pressure-lowering electrical potential difference in the latter part beyond the need, the conversion efficiency of an electrical potential difference is boiled markedly, and it can improve.

[0141] Moreover, in invention concerning claim 8, since the switching regulator constituted the armature-voltage control means, power consumption can be reduced and the conversion efficiency of an electrical potential difference can be improved further.

[0142] A pressure-lowering means in invention concerning claim 10 furthermore, at the 1st period Parallel connection of the capacitor of the pair of another side is carried out, and the charge electrical

potential difference in front of that is taken out outside at the same time it carries out the series connection of the capacitor of one pair and charges with input voltage. At the 2nd period While carrying out the series connection of the capacitor of the pair of another side and charging with input voltage, parallel connection of the capacitor of one pair is carried out, the last charge electrical potential difference is taken out outside, and it was made to perform each actuation of the 1st and 2nd period by turns. For this reason, the load current is enlarged, load-carrying capacity can enlarge it upwards, and the ripple of output voltage can be decreased. Moreover, in invention concerning claim 11, since a stabilization means to stabilize the output voltage of the pressure-lowering means was formed in the latter part of a pressure-lowering means, also when there is a noise etc., stabilization of output voltage can be attained.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
  - 2.\*\*\*\* shows the word which can not be translated.
  - 3.In the drawings, any words are not translated.
- 

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the example of a configuration of the 1st operation gestalt of the DC-DC converter of this invention.

[Drawing 2] It is the circuit diagram showing the concrete configuration of each part of the 1st operation gestalt.

[Drawing 3] It is the wave form chart showing the wave of each part of drawing 2.

[Drawing 4] It is an explanatory view explaining the actuation in the period T1 of the booster circuit of the 1st operation gestalt.

[Drawing 5] It is an explanatory view explaining the actuation in the period T2 of this booster circuit.

[Drawing 6] It is an equal circuit at the time of actuation of this booster circuit.

[Drawing 7] It is drawing showing the example of trial calculation of the change effectiveness of the 1st operation gestalt.

[Drawing 8] It is drawing showing an example of the output voltage of the booster circuit of the 1st operation gestalt.

[Drawing 9] It is the circuit diagram showing the modification of a pre regulator.

[Drawing 10] It is the circuit diagram showing the concrete configuration of each part of the 2nd operation gestalt of the DC-DC converter of this invention.

[Drawing 11] It is an explanatory view explaining the actuation in the period T1 of the booster circuit of the 2nd operation gestalt.

[Drawing 12] It is an explanatory view explaining the actuation in the period T2 of this booster circuit.

[Drawing 13] It is an equal circuit at the time of actuation of this booster circuit.

[Drawing 14] It is the block diagram showing the example of a configuration of the 3rd operation gestalt of the DC-DC converter of this invention.

[Drawing 15] It is the circuit diagram showing the concrete configuration of each part of the 3rd

'operation gestalt.

[Drawing 16] It is the wave form chart showing the wave of each part of drawing 15 .

[Drawing 17] It is an explanatory view explaining the actuation in the period T1 of the pressure-lowering circuit of the 3rd operation gestalt.

[Drawing 18] It is an explanatory view explaining the actuation in the period T2 of this pressure-lowering circuit.

[Drawing 19] It is an equal circuit at the time of actuation of this pressure-lowering circuit.

[Drawing 20] It is the block diagram of the conventional DC-DC converter.

[Drawing 21] It is the circuit diagram showing the example of a configuration of the booster circuit of drawing 20 .

[Description of Notations]

C1-C4 Capacitor

C11-C14 Capacitor

Q1-Q12 MOS transistor

Q21-Q30 MOS transistor

1 DC Power Supply

11 41 PURIREGYURETA

12 Booster Circuit

13 43 Series regulator

14, 44 control-signal generation section

42 Pressure-Lowering Circuit

111 Reference Voltage Generating Circuit

112 Output Voltage Detector

113 Operational Amplifier

114 NAND Gate

115 OR Gate

131 Reference Voltage Generating Circuit

132 Output Voltage Detector

133 Operational Amplifier

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-339939  
(P2001-339939A)

(43)公開日 平成13年12月7日 (2001.12.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マーク*(参考)
H 02 M 3/07		H 02 M 3/07	5 H 4 3 0
G 05 F 1/56	3 1 0	G 05 F 1/56	3 1 0 M 5 H 7 3 0 3 1 0 U

審査請求 未請求 請求項の数11 OL (全15頁)

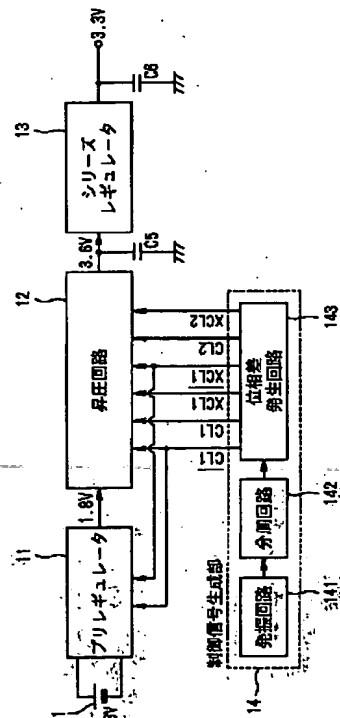
(21)出願番号	特願2000-154692(P2000-154692)	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成12年5月25日 (2000.5.25)	(72)発明者	山田 敦史 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	100095728 弁理士 上柳 雅善 (外1名) Fターム(参考) 5H430 BB01 BB09 BB11 CC01 FF02 FF13 GG08 HH03 5H730 AA14 BB02 BB03 BB11 BB57 BB86 DD04 EE43 FD01

(54)【発明の名称】 DC-DCコンバータ

(57)【要約】

【課題】 変換効率の向上が図れる上に、負荷電流駆動能力を大きくして負荷電流を多く供給できるDC-DCコンバータの提供。

【解決手段】 プリレギュレータ11は、直流電源1の直流電圧を入力するとともに、出力電圧が一定値となるよう制御することにより、昇圧回路12の入力電圧が一定になるようする。昇圧回路12は、第1の期間には、コンデンサC1、C2を並列接続して入力電圧で充電すると同時に、コンデンサC3、C4を直列接続してその直前の充電電圧を外部に取り出し、第2の期間には、コンデンサC3、C4を並列接続して入力電圧で充電すると同時に、コンデンサC1、C2を直列接続して直前の充電電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行う。シリーズレギュレータ13は、昇圧回路12から出力される昇圧電圧の安定化を図る。



(2)

2

**【特許請求の範囲】**

**【請求項 1】** 入力直流電圧から任意の出力直流電圧を作るDC-DCコンバータにおいて、前記入力直流電圧を入力して直流電圧を出力するとともに、その出力直流電圧が後段で必要とする所定値になるように制御する電圧制御手段と、前記出力直流電圧をN倍に昇圧させる昇圧手段と、を少なくとも備えたことを特徴とするDC-DCコンバータ。

**【請求項 2】** 前記電圧制御手段は、スイッチング・レギュレータからなることを特徴とする請求項1に記載のDC-DCコンバータ。

**【請求項 3】** 前記昇圧手段は、2つのコンデンサを有し、第1の期間には前記コンデンサを並列接続して前記電圧制御手段の出力電圧で充電し、第2の期間には前記コンデンサを直列接続してその充電電圧を外部に取り出し、前記第1と前記第2の期間の各動作を交互に行うようになっていることを特徴とする請求項1または請求項2に記載のDC-DCコンバータ。

**【請求項 4】** 前記昇圧手段は、一方の一対のコンデンサと、他方の一対のコンデンサとを有し、第1の期間には、前記一方の一対のコンデンサを並列接続して前記電圧制御手段の出力電圧で充電すると同時に、前記他方の一対のコンデンサを直列接続して直前の充電電圧を外部に取り出し、第2の期間には、前記他方の一対のコンデンサを並列接続して前記出力電圧で充電すると同時に、前記一方の一対のコンデンサを直列接続して直前の充電電圧を外部に取り出し、前記第1と第2の期間の各動作を交互に行うようになっていることを特徴とする請求項1または請求項2に記載のDC-DCコンバータ。

**【請求項 5】** 前記昇圧手段は、2つのコンデンサを有し、第1の期間には、前記一方のコンデンサを前記電圧制御手段の出力電圧で充電すると同時に、前記他方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、第2の期間には、前記他方のコンデンサを前記電圧制御手段の出力電圧で充電すると同時に、前記一方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、前記第1と第2の期間の各動作を交互に行うようになっていることを特徴とする請求項1または請求項2に記載のDC-DCコンバータ。

**【請求項 6】** 前記昇圧手段の後段に、その昇圧手段の出力電圧を安定化する安定化手段を、さらに備えたことを特徴とする請求項1から請求項5のうちのいずれか1の請求項に記載のDC-DCコンバータ。

**【請求項 7】** 入力直流電圧から任意の出力直流電圧を

作るDC-DCコンバータにおいて、

前記入力直流電圧を入力して直流電圧を出力するとともに、その出力直流電圧が後段で必要とする所定値になるように制御する電圧制御手段と、

前記出力直流電圧を $1/N$ 倍に降圧させる降圧手段と、を備えたことを特徴とするDC-DCコンバータ。

**【請求項 8】** 前記電圧制御手段は、スイッチング・レギュレータからなることを特徴とする請求項7に記載のDC-DCコンバータ。

**【請求項 9】** 前記降圧手段は、2つのコンデンサを有し、第1の期間には前記コンデンサを直列接続して前記電圧制御手段の出力電圧で充電し、第2の期間には前記コンデンサを並列接続してその充電電圧を外部に取り出し、前記第1と前記第2の期間の各動作を交互に行うようになっていることを特徴とする請求項7または請求項8に記載のDC-DCコンバータ。

**【請求項 10】** 前記降圧手段は、一方の一対のコンデンサと、他方の一対のコンデンサとを有し、

第1の期間には、前記一方の一対のコンデンサを直列接続して前記電圧制御手段の出力電圧で充電すると同時に、前記他方の一対のコンデンサを並列接続してその直前の充電電圧を外部に取り出し、

第2の期間には、前記他方の一対のコンデンサを直列接続して前記出力電圧で充電すると同時に、前記一方の一対のコンデンサを並列接続して直前の充電電圧を外部に取り出し、

前記第1と第2の期間の各動作を交互に行うようになっていることを特徴とする請求項7または請求項8に記載のDC-DCコンバータ。

**【請求項 11】** 前記降圧手段の後段に、その降圧手段の出力電圧を安定化する安定化手段を、さらに備えたことを特徴とする請求項7から請求項10のうちのいずれか1の請求項に記載のDC-DCコンバータ。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、入力直流電圧から任意の出力直流電圧を作るDC-DCコンバータに関する、特に、電圧の変換効率の良いDC-DCコンバータに関する。

**【0002】**

**【従来の技術】** 従来、この種のDC-DCコンバータの一例としては、図20に示すようなものが知られている。

**【0003】** これは、昇圧型のDC-DCコンバータであり、図20に示すように、チャージポンプ方式の昇圧回路2と、シリーズレギュレータ（安定化回路）3とを少なくとも備えている。

**【0004】** また、昇圧回路2は、その入力側が直流電源1に接続され、その出力端子とグランド間にはコンデンサーC10が接続されている。また、昇圧回路2は、図

50

(3)

3

21に示すように、コンデンサCFとトランジスタからなる4つスイッチS1～S4から構成されている。シリーズレギュレータ3は、その出力端子とグランド間にコンデンサC20が接続されている。

【0005】このような構成からなるDC-DCコンバータでは、直流電源1からの直流電圧（例えば3V）を昇圧回路2で昇圧させ、例えば6V程度の昇圧電圧を得る。この昇圧動作は、図21（A）の充電動作と同図（B）の転送動作を交互に繰り返すことにより行われる。

【0006】すなわち、充電動作のときには、一方のクロックの半周期でスイッチS2、S3のみが閉状態になり、コンデンサCFが3Vに充電される。一方、転送動作のときには、他方のクロックの半周期でスイッチS1、S4のみが閉状態になり、コンデンサCFの充電電圧3Vと電源電圧VDDの3Vとが直列に印加されて6Vとなり、この電圧が出力電圧VOUTになる。この昇圧電圧は、シリーズレギュレータ3で降圧されて、所望の直流電圧（例えば3.3V）を得るようにしていった。

【0007】一方、従来のDC-DCコンバータの他の例として、図示しないが、降圧型のDC-DCコンバータが知られている。

【0008】この降圧型のDC-DCコンバータは、入力電圧をチャージポンプ方式で降圧してシリーズレギュレータを介して所望の出力電圧を得るか、または入力電圧を適度な電圧値に降圧してからチャージポンプ方式で降圧して所望の出力電圧を得るようにしたものである。

【0009】

【発明が解決しようとする課題】ところが、従来の昇圧型のDC-DCコンバータでは、昇圧回路2において、入力の最低電圧を考慮して昇圧させるために、シリーズレギュレータ3の出力に対して必要以上に昇圧させていた。このため、シリーズレギュレータ3での電圧降下分が大きくなり、この電圧降下は抵抗によって行われるために、その電力消費が大きくなり、その結果、電圧の変換効率を低下させていた。

【0010】また、昇圧回路2は、図21に示すように構成され、上記のように一方のクロックの半周期にコンデンサCFを充電し、他方のクロックの半周期にその充電電荷を出力するようになっている。このため、シリーズレギュレータに接続される負荷の負荷電流が多い場合には、その負荷を使用できないという不都合も生じていた。

【0011】一方、従来の降圧型のDC-DCコンバータでは、負荷容量が大きく負荷電流を多く流す場合には、シリーズレギュレータでの電圧（変換）損失が発生して、変換効率が低下するという不都合が発生していた。

【0012】そこで、本発明の目的は、DC-DCコンバータが昇圧型または降圧型にかかわらず、変換効率の

(4)

4

向上が図れる上に、負荷電流駆動能力を大きくして負荷電流を多く供給できるDC-DCコンバータを提供することにある。

【0013】

【課題を解決するための手段】上記課題を解決し、本発明の目的を達成するために、請求項1～請求項11に記載の各発明は以下のように構成した。

【0014】すなわち、請求項1に記載の発明は、入力直流電圧から任意の出力直流電圧を作るDC-DCコンバータにおいて、前記入力直流電圧を入力して直流電圧を出力するとともに、その出力直流電圧が後段で必要とする所定値になるように制御する電圧制御手段と、前記出力直流電圧をN倍に昇圧させる昇圧手段と、を少なくとも備えたことを特徴とするものである。

【0015】請求項2に記載の発明は、請求項1に記載のDC-DCコンバータにおいて、前記電圧制御手段は、スイッチング・レギュレータからなることを特徴とするものである。

【0016】請求項3に記載の発明は、請求項1または請求項2に記載のDC-DCコンバータにおいて、前記昇圧手段は、2つのコンデンサを有し、第1の期間には前記コンデンサを並列接続して前記電圧制御手段の出力電圧で充電し、第2の期間には前記コンデンサを直列接続してその充電電圧を外部に取り出し、前記第1と前記第2の期間の各動作を交互に行うようになっていることを特徴とするものである。

【0017】請求項4に記載の発明は、請求項1または請求項2に記載のDC-DCコンバータにおいて、前記昇圧手段は、一方の一対のコンデンサと、他方の一対のコンデンサとを有し、第1の期間には、前記一方の一対のコンデンサを並列接続して前記電圧制御手段の出力電圧で充電すると同時に、前記他方の一対のコンデンサを直列接続してその直前の充電電圧を外部に取り出し、第2の期間には、前記他方の一対のコンデンサを並列接続して前記出力電圧で充電すると同時に、前記一方の一対のコンデンサを直列接続して直前の充電電圧を外部に取り出し、前記第1と第2の期間の各動作を交互に行うようになっていることを特徴とするものである。

【0018】請求項5に記載の発明は、請求項1または請求項2に記載のDC-DCコンバータにおいて、前記昇圧手段は、2つのコンデンサを有し、第1の期間には、前記一方のコンデンサを前記電圧制御手段の出力電圧で充電すると同時に、前記他方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、第2の期間には、前記他方のコンデンサを前記電圧制御手段の出力電圧で充電すると同時に、前記一方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、前記第1と第2の期間の各動作を交互に行うようになっていることを特徴とするものである。

【0019】請求項6に記載の発明は、請求項1から請

(4)

5

求項5のうちのいずれか1の請求項に記載のDC-DCコンバータにおいて、前記昇圧手段の後段に、その昇圧手段の出力電圧を安定化する安定化手段を、さらに備えたことを特徴とするものである。

【0020】このように、請求項1から請求項6に記載の各発明では、後段で必要とする電圧を生成する電圧制御手段を備えるようにした。このため、昇圧型のDC-DCコンバータにおいて、昇圧手段の入力電圧を必要に昇圧せざることがなくなり、後段で必要以上にその昇圧電圧を降圧する必要がなくなるので、電圧の変換効率を格段に向上できる。

【0021】また、請求項2に記載の発明では、電圧制御手段をスイッチング・レギュレータにより構成するようにしたので、消費電力が低減でき、電圧の変換効率をさらに向上できる。

【0022】さらに、請求項4に記載の発明では、昇圧手段が、第1の期間には、一方の一対のコンデンサを並列接続して電圧制御手段の出力電圧で充電すると同時に、他方の一対のコンデンサを直列接続してその直前の充電電圧を外部に取り出し、第2の期間には、他方の一対のコンデンサを並列接続してその出力電圧で充電すると同時に、一方の一対のコンデンサを直列接続して直前の充電電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行うようにした。このため、負荷電流駆動能力を大きくして負荷電流を多く供給できる上に、出力電圧のリップルを減少することができる。

【0023】また、請求項5に記載の発明では、前記昇圧手段が、第1の期間には、一方のコンデンサを電圧制御手段の出力電圧で充電すると同時に、他方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、第2の期間には、他方のコンデンサを電圧制御手段の出力電圧で充電すると同時に、一方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、その第1と第2の期間の各動作を交互に行うようにした。このため、電源の電圧が、電池のように時間とともに減少しない固定電圧の場合には、使用的なコンデンサなどの部品を減少して小型化が図れる。

【0024】さらに、請求項6に記載の発明では、昇圧手段の後段に、その昇圧手段の出力電圧を安定化する安定化手段を設けるようにしたので、昇圧スイッチング動作で発生するリップル電圧(ノイズ)を低減でき、出力電圧の低ノイズ化、安定化が図れる。一方、請求項7に記載の発明は、入力直流電圧から任意の出力直流電圧を作るDC-DCコンバータにおいて、前記入力直流電圧を入力して直流電圧を出力するとともに、その出力直流電圧が後段で必要とする所定値になるように制御する電圧制御手段と、前記出力直流電圧を1/N倍に降圧させる降圧手段と、を備えたことを特徴とするものである。

【0025】請求項8に記載の発明は、請求項7に記載のDC-DCコンバータにおいて、前記電圧制御手段

6

は、スイッチング・レギュレータからなることを特徴とするものである。

【0026】請求項9に記載の発明は、請求項7または請求項8に記載のDC-DCコンバータにおいて、前記降圧手段は、2つのコンデンサを有し、第1の期間には前記コンデンサを直列接続して前記電圧制御手段の出力電圧で充電し、第2の期間には前記コンデンサを並列接続してその充電電圧を外部に取り出し、前記第1と前記第2の期間の各動作を交互に行うようになっていることを特徴とするものである。

【0027】請求項10に記載の発明は、請求項7または請求項8に記載のDC-DCコンバータにおいて、前記降圧手段は、一方の一対のコンデンサと、他方の一対のコンデンサとを有し、第1の期間には、前記一方の一対のコンデンサを直列接続して前記電圧制御手段の出力電圧で充電すると同時に、前記他方の一対のコンデンサを並列接続してその直前の充電電圧を外部に取り出し、第2の期間には、前記他方の一対のコンデンサを直列接続して前記出力電圧で充電すると同時に、前記一方の一対のコンデンサを並列接続して直前の充電電圧を外部に取り出し、前記第1と第2の期間の各動作を交互に行うようになっていることを特徴とするものである。

【0028】請求項11に記載の発明は、請求項7から請求項10のうちのいずれか1の請求項に記載のDC-DCコンバータにおいて、前記降圧手段の後段に、その降圧手段の出力電圧を安定化する安定化手段を、さらに備えたことを特徴とするものである。

【0029】このように、請求項7から請求項11に記載の各発明では、後段で必要とする電圧を生成する電圧制御手段を備えるようにした。このため、降圧型のDC-DCコンバータにおいて、降圧手段の入力電圧を必要に降圧せざることがなくなり、後段で必要以上にその降圧電圧を降圧する必要がなくなるので、電圧の変換効率を格段に向上できる。

【0030】また、請求項8に記載の発明では、電圧制御手段をスイッチング・レギュレータにより構成するようにしたので、消費電力が低減でき、電圧の変換効率をさらに向上できる。

【0031】さらに、請求項10に記載の発明では、降圧手段が、第1の期間には、一方の一対のコンデンサを直列接続して入力電圧で充電すると同時に、他方の一対のコンデンサを並列接続してその直前の充電電圧を外部に取り出し、第2の期間には、他方の一対のコンデンサを直列接続して入力電圧で充電すると同時に、一方の一対のコンデンサを並列接続して直前の充電電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行うようにした。このため、負荷電流駆動能力を大きくして負荷電流を多く供給できる上に、出力電圧のリップルを減少することができる。

【0032】また、請求項11に記載の発明では、降圧

(5)

7

手段の後段に、その降圧手段の出力電圧を安定化する安定化手段を設けるようにしたので、降圧スイッチング動作で発生するリブル電圧(ノイズ)を低減できて、出力電圧の低ノイズ化、安定化が図れる。

## 【0033】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して説明する。

【0034】図1は、本発明のDC-DCコンバータの第1実施形態の構成を示すブロック図である。

【0035】この第1実施形態にかかるDC-DCコンバータは、昇圧型のDC-DCコンバータであり、図1に示すように、電圧制御手段としてのプリレギュレータ11と、昇圧手段としての昇圧回路12と、安定化手段としてのシリーズレギュレータ13と、制御信号生成部14と、を少なくとも備えたものである。

【0036】プリレギュレータ11は、直流電源1の直流電圧を入力するとともに、出力直流電圧が後段で必要とする所定値となるように制御することにより、昇圧回路12の入力電圧を制御し、もって、昇圧回路12の昇圧電圧を所定値に維持するようになっている。なお、このプリレギュレータ11は、電力消費を軽減して効率化が図れる点で、後述のようなスイッチング・プリレギュレータが好ましい。昇圧回路12は、後述のように複数のコンデンサのコンデンサを有し、そのコンデンサを入力電圧で充電させ、その充電電圧を利用してその入力電圧のN倍の電圧を生成し、この昇圧した電圧を出力するようになっている。ここで、Nは2、3…というように2以上の整数である。

【0037】シリーズレギュレータ13は、昇圧回路12の昇圧電圧をそのまま出力すると昇圧動作により発生するスイッチングノイズが出力電圧に影響し、接続されている回路においてノイズによる誤動作や信号ノイズが重畠して不具合を発生させるおそれがあるので、これを防止するためにその出力電圧の低ノイズ化、安定化を図るようになっている。なお、負荷によっては、このシリーズレギュレータ13は必ずしも必要ではないので、省略することが可能である。

【0038】制御信号生成部14は、プリレギュレータ11の後述のオア回路と昇圧回路12の後述の各トランジスタに供給する各種の制御信号を生成するものであり、例えば図1に示すように、CR発振回路などからなる発振回路141と、その発振回路141の出力を分周する分周回路142と、その分周回路142からの出力信号に位相差を持たせ上記の各種の制御信号を発生する位相差発生回路143とから構成される。

【0039】次に、この第1実施形態のプリレギュレータ11、昇圧回路12、およびシリーズレギュレータ13の具体的な回路の構成について、図2を参照しながら説明する。

【0040】プリレギュレータ11は、図2に示すよう

8

に、基準電圧発生回路111と、出力電圧を検出する出力電圧検出回路112と、コンパレータとして機能するオペアンプ113と、 NANDゲート114と、オアゲート115と、スイッチ素子としてのPMOSトランジスタQ1とからなり、これらによりスイッチング・プリレギュレータを構成している。

【0041】基準電圧発生回路111は、オペアンプ113が出力電圧検出回路112の検出出力電圧と比較する際の基準電圧を発生し、この基準電圧がオペアンプ113の+入力端子に供給されるようになっている。出力電圧検出回路112は、昇圧回路12の入力共通線29とグランドとの間に抵抗R1、R2を直列に接続させ、その抵抗R1と抵抗R2の共通接続点をオペアンプ113の一入力端子に接続させている。

【0042】オペアンプ113は、その出力端子が NANDゲート114の一方の入力端子に接続されている。オアゲート115は、その一方の入力端子に制御信号生成部14からの制御信号(/CL1)が入力され、その他の入力端子に制御信号(/XCL1)が入力されるようになっている。ここで、上記の「/」は反転を示す記号であり、以下同様とする。

【0043】オアゲート115の出力端子は、 NANDゲート114の他方の入力端子に接続されている。 NANDゲート114の出力端子は、 PMOSトランジスタQ1のゲートに接続されている。また、 PMOSトランジスタQ1は、そのソースが直流電源1と接続する入力端子21に接続され、そのドレインが昇圧回路12の入力側に接続されている。

【0044】次に、昇圧回路12について説明すると、この昇圧回路12は、図2に示すように、スイッチ素子として機能するMOSトランジスタQ2～Q11を例えれば集積回路化してパッケージに収納するとともに、外付け端子22～28にコンデンサC1～C5が接続されるようになっている。

【0045】ここで、コンデンサC1～C4の各静電容量値は、好ましくは同一とする。また、コンデンサC1、C2は後述のように一対として機能し、コンデンサC3、C4は同様に一対として機能するようになっている。さらに、コンデンサC1～C4の各静電容量値は、コンデンサC5の静電容量値よりも小さくする。

【0046】昇圧回路12は、図2に示すように入力共通線29を有し、その入力共通線29と端子23との間に、PMOSトランジスタQ2とPMOSトランジスタQ3とが直列に接続されている。PMOSトランジスタQ2、Q3の共通接続部は端子22に接続され、端子22とグランドとの間にコンデンサC1が接続されている。端子23とグランド間には、NMOSトランジスタQ4が接続されている。端子23と端子26との間に、コンデンサC2が接続されている。PMOSトランジスタQ2のゲートには、制御信号生成部14から制御

(6)

9

信号CL1が供給され、PMOSトランジスタQ3のゲートには制御信号XCL1が供給され、NMOSトランジスタQ4のゲートには制御信号(／CL1)が供給されるようになっている。

【0047】さらに、入力共通線29と端子24との間に、PMOSトランジスタQ5とPMOSトランジスタQ6とが直列に接続されている。PMOSトランジスタQ5、Q6の共通接続部は端子28に接続され、端子28とグランドとの間にコンデンサC3が接続されている。端子24とグランド間には、NMOSトランジスタQ7が接続されている。端子24と端子25との間に、コンデンサC4が接続されている。PMOSトランジスタQ5のゲートには、制御信号生成部14から制御信号XCL1が供給され、PMOSトランジスタQ6のゲートには制御信号CL1が供給され、NMOSトランジスタQ7のゲートには制御信号(／XCL1)が供給されるようになっている。

【0048】また、入力共通線29と出力線30との間に、PMOSトランジスタQ8とPMOSトランジスタQ9とが直列に接続されている。PMOSトランジスタQ8、Q9の共通接続部は端子25に接続されている。PMOSトランジスタQ8のゲートには制御信号XCL2が供給され、PMOSトランジスタQ9のゲートには制御信号CL2が供給されるようになっている。

【0049】さらに、入力共通線29と端子27との間に、PMOSトランジスタQ10とPMOSトランジスタQ11とが直列に接続されている。PMOSトランジスタQ10、Q11の共通接続部は端子26に接続されている。端子27は出力線30と接続されるとともに、その端子27とグランドとの間には、コンデンサC5が接続されている。PMOSトランジスタQ10のゲートには制御信号CL2が供給され、PMOSトランジスタQ11のゲートには制御信号XCL2が供給されるようになっている。

【0050】次に、シリーズレギュレータ13について説明すると、このシリーズレギュレータ13は、図2に示すように、基準電圧発生回路131と、出力電圧を検出する出力電圧検出回路132と、オペアンプ133と、PMOSトランジスタQ12とから構成される。

【0051】基準電圧発生回路131は、オペアンプ133が出力電圧検出回路132の検出出力電圧と比較する際の基準電圧を発生し、この基準電圧がオペアンプ133の一入力端子に供給されるようになっている。

【0052】出力電圧検出回路132は、出力端子31とグランドとの間に抵抗R3、R4を直列に接続させ、その抵抗R3と抵抗R4の共通接続点がオペアンプ133の+入力端子に接続されている。出力端子31とグランドとの間にコンデンサC6が接続されている。

【0053】オペアンプ133は、その出力端子がPMOSトランジスタQ12のゲートに接続されている。P

10

MOSトランジスタQ12は、昇圧回路12の出力線30と、シリーズレギュレータ13の出力端子31との間に接続されている。

【0054】次に、以上のように構成される第1実施形態の各部の動作について、図面を参照して説明する。

【0055】まず、図2に示す昇圧回路12の動作について、図2～図4を参照して説明する。

【0056】いま、図3に示すように例えば時刻t1では、制御信号生成部14から出力される制御信号(／CL1)が立ち下がり、制御信号CL1、CL2は立ち上がる。このため、制御信号(／CL1)によりMOSトランジスタQ4がオフとなり、制御信号CL1によりMOSトランジスタQ2、Q6がオフとなり、制御信号CL2によりMOSトランジスタQ9、Q10がオフとなる。

【0057】また、時刻t1では、制御信号XCL1、(／XCL1)、XCL2は変化がないので、制御信号XCL1により制御されるMOSトランジスタQ3、Q5はオフのままであり、制御信号(／XCL1)により制御されるMOSトランジスタQ7はオフのままであり、制御信号XCL2により制御されるMOSトランジスタQ8、Q11はオフのままである。

【0058】次に、時刻t2になると、制御信号XCL1、XCL2が立ち下がり、制御信号(／XCL1)が立ち上がる。このため、制御信号XCL1によりMOSトランジスタQ3、Q5とがオンとなり、制御信号XCL2によりMOSトランジスタQ8、Q11がオンとなり、制御信号(／XCL1)によりMOSトランジスタQ7がオンになる。

【0059】また、時刻t2では、制御信号(／CL1)、CL1、CL2は変化がないので、MOSトランジスタQ4がオフ、MOSトランジスタQ2、Q6がオフ、MOSトランジスタQ9、Q10がオフの状態を維持する。

【0060】その後、時刻t2から時刻t3の期間T1では、制御信号(／CL1)、CL1、XCL1、(／XCL1)、CL2、XCL2は、図3に示すようにいずれも変化しないので、MOSトランジスタQ2～Q11の各状態は図4に示すようになる。従って、期間T1では、図6(A)に示すように、コンデンサC3とコンデンサC4が並列に接続されて入力電圧により充電される一方、コンデンサC1とコンデンサC2とが直列に接続されてその充電電圧が出力電圧となる。

【0061】時刻t3になると、制御信号XCL1、XCL2が立ち上るとともに制御信号(／XCL1)が立ち下がり、制御信号(／CL1)、CL1、CL2は変化がない。このため、MOSトランジスタQ3、Q5、Q7、Q8、Q11がオフとなり、MOSトランジスタQ2、Q4、Q6、Q9、Q10はオフの状態を維持する。

(7)

11

【0062】次に、時刻  $t_4$ になると、制御信号 ( $/CL_1$ ) が立ち上がるとともに制御信号  $CL_1$ 、 $CL_2$  が立ち下がる一方、制御信号  $XCL_1$ 、( $/XCL_1$ )、 $XCL_2$  に変化はない。このため、MOSトランジスタ  $Q_2$ 、 $Q_4$ 、 $Q_6$ 、 $Q_9$ 、 $Q_{10}$  はオンになり、MOSトランジスタ  $Q_3$ 、 $Q_5$ 、 $Q_7$ 、 $Q_8$ 、 $Q_{11}$  はオフの状態を維持する。

【0063】その後、時刻  $t_4$  から時刻  $t_5$  の期間  $T_2$  では、制御信号 ( $/CL_1$ )、 $CL_1$ 、 $XCL_1$ 、( $/XCL_1$ )、 $CL_2$ 、 $XCL_2$  は、図3に示すようにいずれも変化しないので、MOSトランジスタ  $Q_2 \sim Q_11$  の各状態は図5に示すようになる。従って、期間  $T_2$  では、図6(B)に示すように、コンデンサ  $C_1$  とコンデンサ  $C_2$  が並列に接続されて入力電圧により充電される一方、コンデンサ  $C_3$  とコンデンサ  $C_4$  が直列に接続されてその充電電圧が出力電圧となる。

【0064】以後、このような動作を繰り返し、その出力電圧がシリーズレギュレータ13に供給される。

【0065】次に、図2に示すプリレギュレータ11の各部の動作について、図面を参照して説明する。

【0066】上述のように、昇圧回路12では、一対のコンデンサ  $C_1$ 、 $C_2$  と、一対のコンデンサ  $C_3$ 、 $C_4$  とが交互に充電されるが、この第1実施形態では、その昇圧回路12の昇圧電圧、すなわちコンデンサ  $C_1 \sim C_4$  の充電電圧を所定値に維持し、出力電圧を所定値にする必要があり、プリレギュレータ11がその役目を果たしている。

【0067】すなわち、プリレギュレータ11では、出力電圧検出回路112が出力電圧(昇圧回路12の入力電圧)を検出する。オペアンプ113は、その検出出力電圧を基準電圧発生回路11の発生する基準電圧と比較し、検出出力電圧が基準電圧を上回る場合には、「L」レベルの信号を出力し、逆に、検出出力電圧が基準電圧を下回る場合には、「H」レベルの信号を出力する。

【0068】一方、オアゲート115には、図3に示す制御信号 ( $/CL_1$ )、( $/XCL_1$ ) が入力されている。このため、オアゲート115の出力は、時刻  $t_1 \sim t_2$  では「L」レベル、時刻  $t_2 \sim t_3$  では「H」レベル、時刻  $t_3 \sim t_4$  では「L」レベル、時刻  $t_4 \sim t_5$  では「H」レベルというように、「L」レベルと「H」レベルとを交互に繰り返す。

【0069】このため、オペアンプ113の出力は、検出出力電圧の基準電圧に応じて「H」または「L」レベルとなり、これが NANDゲート114に入力されるが、この入力はオアゲート115の出力により断続的に制御される。この結果、MOSトランジスタ  $Q_1$  は、プリレギュレータ11の出力電圧が一定の電圧(例えば1.8V)となるようにスイッチング制御される。

【0070】次に、図2に示すシリーズレギュレータ13の各部の動作について、図面を参照して説明する。

12

【0071】シリーズレギュレータ13では、出力電圧検出回路132が出力電圧を検出する。オペアンプ133は、その検出出力電圧を基準電圧発生回路131の発生する基準電圧と比較し、検出出力電圧に応じてその出力電圧を制御する。これにより MOSトランジスタ  $Q_1$  ～  $Q_2$  の出力抵抗が制御されてシリーズレギュレータ13の入力電圧が制御され、その結果、その出力電圧(例えば3.3V)が所定になる。

【0072】次に、図1に示す第1実施形態と図20に示す従来のDC-DCコンバータについて、電圧変換効率を試算した一例を図7に示す。

【0073】第1実施形態において、図1に示すように、プリレギュレータ11の入力電圧を3V、シリーズレギュレータ13の出力電圧を3.3V、プリレギュレータ11の出力を1.8V、昇圧回路12の出力電圧を $1.8V \times 2 = 3.6V$ とし、プリレギュレータ11の変換効率を100%とすると、その変換効率は、 $(3.3V / 3.6V) \times 100 = 92\%$ となる。

【0074】一方、従来のDC-DCコンバータにおいて、図20に示すように、昇圧回路2の入力電圧を3V、シリーズレギュレータ3の入力電圧を6V、シリーズレギュレータ3の出力電圧を3.3Vとし、昇圧回路2の変換効率を100%とすると、その変換効率は、 $(3.3V / 6V) \times 100 = 55\%$ となる。

【0075】実際には、プリレギュレータ11や昇圧回路2のスイッチングトランジスタでのオン抵抗によるロスが発生するので、その各変換効率は上記よりも低下し、それを考慮した試算結果は、図7に示すようになる。

【0076】次に、第1実施形態のリップル特性と電流駆動能力について、図8を参照して説明する。

【0077】第1実施形態において、昇圧回路12の構成が図2に示すような場合には(2相駆動の場合)、昇圧回路12の出力電圧は、図8(B)に示すようになる。一方、第1実施形態において、昇圧回路12をコンデンサ  $C_1$ 、 $C_2$  と、これを充放電する回路とから構成する場合には(1相駆動の場合)、その出力電圧は図8(A)に示すようになる。なお、この1相駆動の場合は、図21の従来のDC-DCコンバータの昇圧回路に相当する。

【0078】ここで、図8(B)に示す2相駆動の場合の出力電圧のリップル電圧を $\Delta V_2$ 、図8(A)に示す1相駆動の場合の出力電圧のリップル電圧を $\Delta V_1$ とすると、両者の関係は、 $\Delta V_2 = (\Delta V_1 / 2)$ となり、リップルが従来の1/2に改善される。

【0079】従って、第1実施形態において昇圧回路12が図2に示すような2相駆動を採用する場合には、1相駆動の昇圧回路(従来の昇圧回路)に比べて電流駆動能力が2倍となり、出力インピーダンスは $1/2$ となる。例えば、出力インピーダンスが $20.0\Omega$ とすれば、

(8)

13

100Ωに低減される。

【0080】次に、図2に示すプリレギュレータ11の変形例について、図9を参照して説明する。

【0081】このプリレギュレータ11Aは、図2に示すプリレギュレータ11に対して、基準電圧を発生する基準電圧発生回路116と、抵抗R5、R6からなり昇圧回路12の出力電圧またはシリーズレギュレータ13の出力電圧を検出する電圧検出回路117と、コンパレータとして機能するオペアンプ118と、オアゲート119とを追加したものであり、オアゲート119にオペアンプ113、118の各出力を入力するとともに、オアゲート119の出力を NANDゲート114に出力するようにしたものである。なお、他の部分の構成は、図2のプリレギュレータ11の構成と同様であるので、同一符号を付してその説明は省略する。

【0082】このような構成からなるプリレギュレータ11Aでは、電圧検出回路117が昇圧回路12の出力電圧を検出する場合には、その出力電圧に応じて昇圧回路12の入力電圧を制御できるので、負荷に応じて出力電圧を所定値にできるという利点がある。

【0083】以上説明したように、この第1実施形態では、後段の必要とする電圧を発生するプリレギュレータ11を備えるようにしたので、昇圧型のDC-DCコンバータにおいて、昇圧回路12の入力電圧を不必要に昇圧させることができなくなり、後段で必要以上にその昇圧回路を降圧する必要がなくなるので、電圧の変換効率を格段に向かうことができる。

【0084】また、この第1実施形態では、プリレギュレータ11を図2に示すようなスイッチング・レギュレータにより構成するようにしたので、消費電力が低減でき、電圧の変換効率をさらに向上できる。

【0085】さらに、この第1実施形態では、昇圧回路12が、第1の期間には、コンデンサC1、C2を並列接続して充電すると同時に、コンデンサC3、C4を直列接続してその直前の充電電圧を外部に取り出し、第2の期間には、コンデンサC3、C4を並列接続して充電すると同時に、コンデンサC1、C2を直列接続して直前の充電電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行なうようにした。このため、負荷電流駆動能力を大きくして負荷電流を多く供給することができる上に、出力電圧のリップルを減少することができる。

【0086】また、この第1実施形態では、昇圧回路12の後段に、その昇圧回路12の出力電圧を安定化するシリーズレギュレータ13を設けるようにしたので、昇圧動作により発生するスイッチング雑音などがある場合にもその影響を取り除くことができ出力電圧の安定化が図れる。

【0087】次に、本発明のDC-DCコンバータの第2実施形態の構成例について、図10を参照して説明する。

14

【0088】この第2実施形態にかかるDC-DCコンバータは、図2の第1実施形態におけるコンデンサC1、C3に代えて直流電源1の電圧を使用するようにしたるものであり、このために、図2に示す第1実施形態の昇圧回路12を図10に示す昇圧回路12Aに代えるようにしたものである。

【0089】この第2実施形態は、昇圧回路12を昇圧回路12Aに代えた点を除けば、図2に示す第1実施形態の構成と同様であるので、他の部分の構成要素には同一符号を付してその説明は省略する。

【0090】図10に示す昇圧回路12Aは、図2に示す昇圧回路12からコンデンサC1、C3、およびMOSトランジスタQ2、Q5を省略するとともに、MOSトランジスタQ3、Q6の各ソースを端子22に接続し、さらに端子22を端子21に接続するようにしたものである。

【0091】なお、昇圧回路12Aの他の部分の構成は昇圧回路12の構成と同様であるので、他の部分の構成要素には同一符号を付してその説明は省略する。

【0092】また、この第2実施形態では、図2の第1実施形態におけるコンデンサC1、C3に代えて直流電源1の電圧を使用するようにしたので、直流電源1は電池のように時間とともに電圧が低下するものではなく、交流電圧を整流して固定的な直流電圧をものが好ましい。

【0093】次に、以上のように構成される第2実施形態の昇圧回路12Aの動作について、図3、図10～図13を参照して説明する。

【0094】いま、図3に示すように例えば時刻t1では、制御信号生成部14から出力される制御信号(／CL1)が立ち下がり、制御信号CL1、CL2は立ち上がる。このため、制御信号(／CL1)によりMOSトランジスタQ4がオフとなり、制御信号CL1によりMOSトランジスタQ6がオフとなり、制御信号CL2によりMOSトランジスタQ9、Q10がオフとなる。

【0095】また、時刻t1では、制御信号XCL1、(／XCL1)、XCL2は変化がないので、制御信号XCL1により制御されるMOSトランジスタQ3はオフのままであり、制御信号(／XCL1)により制御されるMOSトランジスタQ7はオフのままであり、制御信号XCL2により制御されるMOSトランジスタQ8、Q11はオフのままである。

【0096】次に、時刻t2になると、制御信号XCL1、XCL2が立ち下がり、制御信号(／XCL1)が立ち上がる。このため、制御信号XCL1によりMOSトランジスタQ3がオンとなり、制御信号XCL2によりMOSトランジスタQ8、Q11がオンとなり、制御信号(／XCL1)によりMOSトランジスタQ7がオンになる。また、時刻t2では、制御信号(／CL1)、CL1、CL2は変化ないので、MOSトラン

(9)

15

ジスタQ4、Q6、Q9、Q10がオフの状態を維持する。

【0097】その後、時刻t2から時刻t3の期間T1では、制御信号(／CL1)、CL1、XCL1、(／XCL1)、CL2、XCL2は、図3に示すようにいずれも変化しないので、MOSトランジスタQ3、Q4、Q6～Q11の各状態は図11に示すようになる。従って、期間T1では、図13(A)に示すように、コンデンサC4が入力電圧により充電される一方、直流電源1とコンデンサC2とが直列に接続されてその直列電圧が出力電圧となる。

【0098】時刻t3になると、制御信号XCL1、XCL2が立ち上るとともに制御信号(／XCL1)が立ち下り、制御信号(／CL1)、CL1、CL2は変化がない。このため、MOSトランジスタQ3、Q7、Q8、Q11がオフとなり、MOSトランジスタQ4、Q6、Q9、Q10はオフの状態を維持する。

【0099】次に、時刻t4になると、制御信号(／CL1)が立ち上るとともに制御信号CL1、CL2が立ち下がる一方、制御信号XCL1、(／XCL1)、XCL2に変化はない。このため、MOSトランジスタQ4、Q6、Q9、Q10はオンになり、MOSトランジスタQ3、Q7、Q8、Q11はオフの状態を維持する。

【0100】その後、時刻t4から時刻t5の期間T2では、制御信号(／CL1)、CL1、XCL1、(／XCL1)、CL2、XCL2は、図3に示すようにいずれも変化しないので、MOSトランジスタQ3、Q4、Q6～Q11の各状態は図12に示すようになる。従って、期間T2では、図13(B)に示すように、コンデンサC2が入力電圧により充電される一方、直流電源1とコンデンサC4とが直列に接続されてその直列電圧が出力電圧となる。

【0101】以後、このような動作を繰り返し、その出力電圧がシリーズレギュレータ13に供給される。

【0102】以上説明したように、この第2実施形態によれば、昇圧回路12Aが、第1の期間には、C4を充電すると同時に、直流電源1とコンデンサC2を直列接続してその直前電圧を外部に取り出し、第2の期間には、C2を充電すると同時に、直流電源1とコンデンサC4を直列接続してその直前電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行うようにした。

【0103】このため、電源の電圧が、電池のように時間とともに減少しない固定電圧の場合には、使用するコンデンサなどの部品を減少して小型化が図れる。さらに、第1実施形態と同様に、負荷電流駆動能力を大きくして負荷電流を多く供給することができる上に、出力電圧のリップルを減少することもできる。

【0104】次に、本発明のDC-DCコンバータの第3実施形態の構成例について、図14を参照して説明す

(9)

16

る。

【0105】この第3実施形態にかかるDC-DCコンバータは、降圧型のDC-DCコンバータであり、図14に示すように、電圧制御手段としてのプリレギュレータ41と、降圧手段としての降圧回路42と、安定化手段としてのシリーズレギュレータ43と、制御信号生成部44と、を少なくとも備えたものである。

【0106】プリレギュレータ41は、直流電源1の直流電圧を入力するとともに、出力電圧が後段で必要とする所定値となるように制御することにより、降圧回路42の入力電圧を制御し、もって、降圧回路42の降圧電圧を所定値に維持するようになっている。なお、このプリレギュレータ41は、電力消費を軽減して効率化が図れる点で、図15に示すスイッチング・プリレギュレータが好ましい。

【0107】降圧回路42は、後述のように複数のコンデンサのコンデンサを有し、そのコンデンサを入力電圧で充電させ、その充電電圧を利用してその入力電圧の1/N倍の電圧を生成し、この降圧した電圧を出力するようになっている。ここで、Nは2、3…というように2以上の整数である。

【0108】シリーズレギュレータ43は、降圧回路42の降圧電圧をそのまま出力すると、降圧動作により発生するスイッチングノイズが出力電圧に影響して接続されている回路においてノイズによる誤動作や信号にノイズが重畠して不具合を発生するおそれがあるので、これを防止するためにその出力電圧の安定化を図るようになっている。なお、負荷によっては、このシリーズレギュレータ43は必ずしも必要ではないので、省略することが可能である。

【0109】制御信号生成部44は、プリレギュレータ41の後述のオア回路と降圧回路42の後述の各トランジスタに供給する各種の制御信号を生成するものであり、例えば図14に示すように、CR発振回路などからなる発振回路441と、その発振回路441の出力を分周する分周回路442と、その分周回路442からの出力信号に位相差を持たせ上記の各種の制御信号を発生する位相差発生回路443とから構成される。

【0110】次に、この第3実施形態のプリレギュレータ41、降圧回路42、およびシリーズレギュレータ43の具体的な回路の一例について、図15を参照しながら説明する。

【0111】まず、プリレギュレータ41は、図2に示すプリレギュレータ15と同様に構成されるので、同一の構成要素には同一符号を付してその説明は省略する。なお、プリレギュレータ41は、図9に示すプリレギュレータ16Aに置換することが可能である。次に、降圧回路42について説明すると、この降圧回路42は、図15に示すように、スイッチ素子として機能するMOSトランジスタQ2-1～Q3-0を例えれば集積回路化してパ

(10)

17

ッケージに収納するとともに、外付け端子 5 1～5 7 にコンデンサ C 1 1～C 1 4、コンデンサ C 5 が接続されるようになっている。

【0112】ここで、コンデンサ C 1 1～C 1 4 の各静電容量値は、好ましくは同一とする。また、コンデンサ C 1 1、C 1 2 は後述のように一対として機能し、コンデンサ C 1 3、C 1 4 は同様に一対として機能するようになっている。さらに、コンデンサ C 1 1～C 1 4 の各静電容量値は、コンデンサ C 1 5 の静電容量値よりも小さくなる。

【0113】降圧回路 4 2 は、図 1 5 に示すように入力共通線 5 8 を有し、その入力共通線 5 8 と出力共通線 5 9 との間に、PMOS トランジスタ Q 2 7 と PMOS トランジスタ Q 2 8 とが直列に接続されている。PMOS トランジスタ Q 2 7、Q 2 8 の共通接続部は端子 5 5 に接続され、端子 5 5 と端子 5 4 との間にコンデンサ C 1 4 が接続されている。PMOS トランジスタ Q 2 7 のゲートには、制御信号生成部 4 4 から制御信号 CL 1 が供給され、PMOS トランジスタ Q 2 8 のゲートには、制御信号 XCL 1 が供給されるようになっている。

【0114】また、入力共通線 5 8 と出力共通線 5 9 との間に、PMOS トランジスタ Q 2 9 と PMOS トランジスタ Q 3 0 とが直列に接続されている。PMOS トランジスタ Q 2 9、Q 3 0 の共通接続部は端子 5 6 に接続され、端子 5 6 と端子 5 2 との間にコンデンサ C 1 2 が接続されている。共通接続線 5 9 は出力端子 5 7 に接続され、その出力端子 5 7 とグランドとの間にはコンデンサ C 5 が接続されている。PMOS トランジスタ Q 2 9 のゲートには、制御信号生成部 4 4 から制御信号 XCL 1 が供給され、PMOS トランジスタ Q 3 0 のゲートには、制御信号 CL 1 が供給されるようになっている。

【0115】さらに、端子 5 1 と出力共通線 5 9 との間には、PMOS トランジスタ Q 2 1 が接続されている。端子 5 1 とグランドとの間には、コンデンサ C 1 1 が接続されている。端子 5 1 と端子 5 2 との間には、PMOS トランジスタ Q 2 2 が接続され、端子 5 2 とグランドとの間には、NMOS トランジスタ Q 2 3 が接続されている。PMOS トランジスタ Q 2 1 のゲートには、制御信号生成部 4 4 から制御信号 CL 1 が供給され、PMOS トランジスタ Q 2 2 のゲートには、制御信号 XCL 1 が供給され、NMOS トランジスタ Q 2 3 のゲートには、制御信号 (CL 1) が供給されるようになっている。

【0116】さらにまた、端子 5 3 と出力共通線 5 9 との間には、PMOS トランジスタ Q 2 4 が接続されている。端子 5 3 とグランドとの間には、コンデンサ C 1 3 が接続されている。端子 5 3 と端子 5 4 との間には、PMOS トランジスタ Q 2 5 が接続され、端子 5 4 とグランドとの間には、NMOS トランジスタ Q 2 6 が接続されている。PMOS トランジスタ Q 2 4 のゲートには、

18

制御信号生成部 4 4 から制御信号 XCL 1 が供給され、PMOS トランジスタ Q 2 5 のゲートには、制御信号 CL 1 が供給され、NMOS トランジスタ Q 2 6 のゲートには、制御信号 (XCL 1) が供給されるようになっている。

【0117】また、図 1 5 のシリーズレギュレータ 4 3 は、図 2 に示すシリーズレギュレータ 1 3 と同様に構成されるので、同一の構成要素には同一符号を付してその説明は省略する。

【0118】次に、以上のように構成される第 3 実施形態の各部の動作について、図面を参照して説明する。

【0119】まず、図 1 5 に示す降圧回路 4 2 の動作について、図 1 5 ～ 図 1 9 を参照して説明する。

【0120】いま、図 1 6 に示すように例えば時刻 t 1 では、制御信号生成部 1 4 から出力される制御信号 (CL 1) が立ち下がり、制御信号 CL 1 は立ち上がる。このため、制御信号 (CL 1) により MOS トランジスタ Q 2 3 がオフとなり、制御信号 CL 1 により MOS トランジスタ Q 2 1、Q 2 5、Q 2 7、Q 3 0 がオフとなる。

【0121】また、時刻 t 1 では、制御信号 XCL 1、(XCL 1) は変化がないので、制御信号 XCL 1 により制御される MOS トランジスタ Q 2 2、Q 2 4、Q 2 8、Q 2 9 はオフのままであり、制御信号 (XCL 1) により制御される MOS トランジスタ Q 2 6 はオフのままである。

【0122】次に、時刻 t 2 になると、制御信号 XCL 1 が立ち下がり、制御信号 (XCL 1) が立ち上がる。このため、制御信号 XCL 1 により MOS トランジスタ Q 2 2、Q 2 4、Q 2 8、Q 2 9 がオンとなり、制御信号 (XCL 1) により MOS トランジスタ Q 2 6 がオンになる。

【0123】また、時刻 t 2 では、制御信号 (CL 1)、CL 1 は変化ないので、MOS トランジスタ Q 2 3 がオフ、MOS トランジスタ Q 2 1、Q 2 5、Q 2 7、Q 3 0 がオフの状態を維持する。

【0124】その後、時刻 t 2 から時刻 t 3 の期間 T 1 では、制御信号 (CL 1)、CL 1、XCL 1、(XCL 1) は、図 1 6 に示すようにいずれも変化しないので、MOS トランジスタ Q 2 1～Q 3 0 の各状態は図 1 7 に示すようになる。従って、期間 T 1 では、図 1 9 (A) に示すように、コンデンサ C 1 1 とコンデンサ C 1 2 が直列に接続されて入力電圧により充電される一方、コンデンサ C 1 3 とコンデンサ C 1 4 とが並列に接続されてその充電電圧が出力電圧となる。

【0125】時刻 t 3 になると、制御信号 XCL 1 が立ち上るとともに制御信号 (XCL 1) が立ち下がり、制御信号 (CL 1)、CL 1 は変化がない。このため、MOS トランジスタ Q 2 2、Q 2 4、Q 2 6、Q 2 8、Q 2 9 がオフとなり、MOS トランジスタ Q 2

(11)

19

1、Q<sub>23</sub>、Q<sub>25</sub>、Q<sub>27</sub>、Q<sub>30</sub>がオフの状態を維持する。

【0126】次に、時刻t<sub>4</sub>になると、制御信号(／CL<sub>1</sub>)が立ち上がるとともに制御信号CL<sub>1</sub>が立ち下がる一方、制御信号XCL<sub>1</sub>、(／XCL<sub>1</sub>)に変化はない。このため、MOSトランジスタQ<sub>21</sub>、Q<sub>23</sub>、Q<sub>25</sub>、Q<sub>27</sub>、Q<sub>30</sub>がオンとなり、MOSトランジスタQ<sub>22</sub>、Q<sub>24</sub>、Q<sub>26</sub>、Q<sub>28</sub>、Q<sub>29</sub>がオフの状態を維持する。

【0127】その後、時刻t<sub>4</sub>から時刻t<sub>5</sub>の期間T<sub>2</sub>では、制御信号(／CL<sub>1</sub>)、CL<sub>1</sub>、XCL<sub>1</sub>、(／XCL<sub>1</sub>)は、図16に示すようにいずれも変化しないので、MOSトランジスタQ<sub>21</sub>～Q<sub>30</sub>の各状態は図18に示すようになる。従って、期間T<sub>2</sub>では、図19(B)に示すように、コンデンサC<sub>13</sub>とコンデンサC<sub>14</sub>が直列に接続されて入力電圧により充電される一方、コンデンサC<sub>11</sub>とコンデンサC<sub>12</sub>が並列に接続されてその充電電圧が出力電圧となる。

【0128】以後、このような動作を繰り返し、その出力電圧がシリーズレギュレータ13に供給される。

【0129】なお、図15に示すプリレギュレータ41とシリーズレギュレータ43の各部の動作は、図2に示すプリレギュレータ11とシリーズレギュレータ13の各動作と基本的に同様であるので、その説明は省略する。

【0130】以上説明したように、この第3実施形態では、後段で必要とする電圧を生成するプリレギュレータ41を備えるようにしたので、降圧型のDC-DCコンバータにおいて、降圧回路42の入力電圧を必要に降圧せざることがなくなり、後段で必要以上にその降圧電圧を降圧する必要がなくなるので、電圧の変換効率を格段に向上できる。

【0131】また、この第3実施形態では、プリレギュレータ41を図15に示すようにスイッチング・レギュレータにより構成するようにしたので、消費電力が低減でき、電圧の変換効率をさらに向上できる。

【0132】さらに、この第3実施形態では、降圧回路42が、第1の期間には、コンデンサC<sub>11</sub>、C<sub>12</sub>を直列接続して充電すると同時に、コンデンサC<sub>13</sub>、C<sub>14</sub>を並列接続してその直前の充電電圧を外部に取り出し、第2の期間には、コンデンサC<sub>13</sub>、C<sub>14</sub>を直列接続して充電すると同時に、コンデンサC<sub>11</sub>、C<sub>12</sub>を並列接続して直前の充電電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行うようにした。このため、負荷電流駆動能力を大きくして負荷電流を多く供給することができる上に、出力電圧のリップルを減少することができる。

【0133】また、この第3実施形態では、降圧回路42の後段に、その降圧回路42の出力電圧を安定化するシリーズレギュレータ43を設けるようにしたので、降

20

圧動作により発生するスイッチング雑音などがある場合にもその影響を取り除くことができ出力電圧の安定化が図れる。

【0134】なお、上記の第1実施形態では、昇圧回路12を図2に示すように2相駆動のものとして説明したが、本発明では、昇圧回路12を上記のように1相駆動とすることも可能である。

【0135】また、上記の第3実施形態では、降圧回路42を図15に示すように2相駆動のものとして説明したが、本発明では、降圧回路42のコンデンサC<sub>13</sub>、C<sub>14</sub>などを省略し、いわゆる1相駆動とすることも可能である。

【0136】

【発明の効果】以上説明したように、請求項1から請求項6にかかる各発明では、後段で必要とする電圧を生成する電圧制御手段を備えるようにした。このため、昇圧手段の入力電圧を必要に昇圧させることがなくなり、後段で必要以上にその昇圧電圧を降圧する必要がなくなるので、電圧の変換効率を格段に向上できる。

【0137】また、請求項2にかかる発明では、電圧制御手段をスイッチング・レギュレータにより構成するようにしたので、消費電力が低減でき、電圧の変換効率をさらに向上できる。

【0138】さらに、請求項4にかかる発明では、昇圧手段が、第1の期間には、一方の一対のコンデンサを並列接続して電圧制御手段の出力電圧で充電すると同時に、他方の一対のコンデンサを直列接続してその直前の充電電圧を外部に取り出し、第2の期間には、他方の一対のコンデンサを並列接続してその出力電圧で充電すると同時に、一方の一対のコンデンサを直列接続して直前の充電電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行うようにした。このため、負荷電流を大きくして負荷容量が大きくできる上に、出力電圧のリップルを減少することができる。

【0139】また、請求項5にかかる発明では、昇圧手段が、第1の期間には、一方のコンデンサを電圧制御手段の出力電圧で充電すると同時に、他方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、第2の期間には、他方のコンデンサを電圧制御手段の出力電圧で充電すると同時に、一方のコンデンサの直前の充電電圧と電源電圧とを直列接続して取り出し、その第1と第2の期間の各動作を交互に行うようにした。このため、電源の電圧が、電池のように時間とともに減少しない固定電圧の場合には、使用するコンデンサなどの部品を減少して小型化が図れる。

【0140】また、請求項6にかかる発明では、昇圧手段の後段に、その昇圧手段の出力電圧を安定化する安定化手段を設けるようにしたので、雑音などがある場合にも出力電圧の安定化が図れる。一方、請求項7から請求項11にかかる各発明では、後段で必要とする電圧を生

(12)

21

成する電圧制御手段を備えるようにした。このため、降圧型のDC-D Cコンバータにおいて、降圧手段の入力電圧を必要に降圧させることができなくなり、後段で必要以上にその降圧電圧を降圧する必要がなくなるので、電圧の変換効率を格段に向上できる。

【0141】また、請求項8にかかる発明では、電圧制御手段をスイッチング・レギュレータにより構成するようにしたので、消費電力が低減でき、電圧の変換効率をさらに向上できる。

【0142】さらに、請求項10にかかる発明では、降圧手段が、第1の期間には、一方の一対のコンデンサを直列接続して入力電圧で充電すると同時に、他方の一対のコンデンサを並列接続してその直前の充電電圧を外部に取り出し、第2の期間には、他方の一対のコンデンサを直列接続して入力電圧で充電すると同時に、一方の一対のコンデンサを並列接続して直前の充電電圧を外部に取り出し、その第1と第2の期間の各動作を交互に行なうようにした。このため、負荷電流を大きくして負荷容量が大きくできる上に、出力電圧のリップルを減少することができる。また、請求項11にかかる発明では、降圧手段の後段に、その降圧手段の出力電圧を安定化する安定化手段を設けるようにしたので、雑音などがある場合にも出力電圧の安定化が図れる。

#### 【図面の簡単な説明】

【図1】本発明のDC-D Cコンバータの第1実施形態の構成例を示すブロック図である。

【図2】第1実施形態の各部の具体的な構成を示す回路図である。

【図3】図2の各部の波形を示す波形図である。

【図4】第1実施形態の昇圧回路の期間T1における動作を説明する説明図である。

【図5】同昇圧回路の期間T2における動作を説明する説明図である。

【図6】同昇圧回路の動作時の等価回路である。

【図7】第1実施形態の変化効率の試算例を示す図である。

【図8】第1実施形態の昇圧回路の出力電圧の一例を示す図である。

【図9】プレレギュレータの変形例を示す回路図である。

(12)

22

【図10】本発明のDC-D Cコンバータの第2実施形態の各部の具体的な構成を示す回路図である。

【図11】第2実施形態の昇圧回路の期間T1における動作を説明する説明図である。

【図12】同昇圧回路の期間T2における動作を説明する説明図である。

【図13】同昇圧回路の動作時の等価回路である。

【図14】本発明のDC-D Cコンバータの第3実施形態の構成例を示すブロック図である。

【図15】第3実施形態の各部の具体的な構成を示す回路図である。

【図16】図15の各部の波形を示す波形図である。

【図17】第3実施形態の降圧回路の期間T1における動作を説明する説明図である。

【図18】同降圧回路の期間T2における動作を説明する説明図である。

【図19】同降圧回路の動作時の等価回路である。

【図20】従来のDC-D Cコンバータのブロック図である。

【図21】図20の昇圧回路の構成例を示す回路図である。

#### 【符号の説明】

C1～C4 コンデンサ

C11～C14 コンデンサ

Q1～Q12 MOSトランジスタ

Q21～Q30 MOSトランジスタ

1 直流電源

11、41 プリレギュレータ

12 昇圧回路

13、43 シリーズレギュレータ

14、44 制御信号生成部

42 降圧回路

111 基準電圧発生回路

112 出力電圧検出回路

113 オペアンプ

114 ナンドゲート

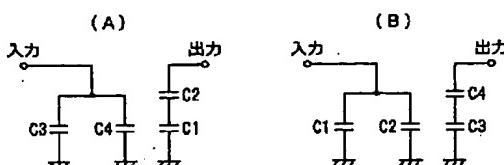
115 オアゲート

131 基準電圧発生回路

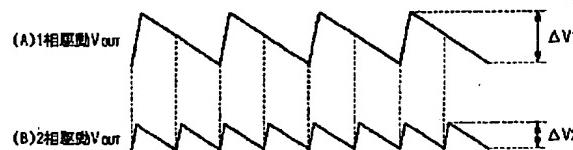
132 出力電圧検出回路

133 オペアンプ

【図6】

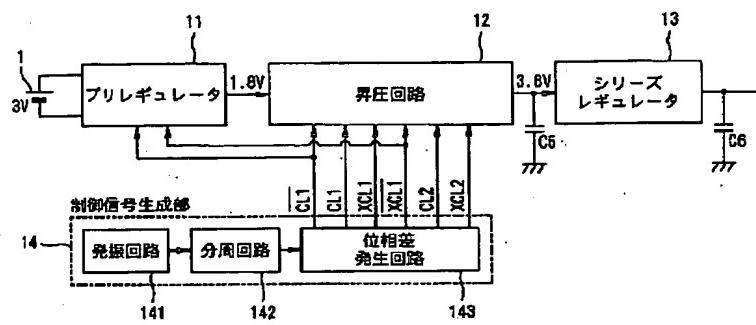


【図8】

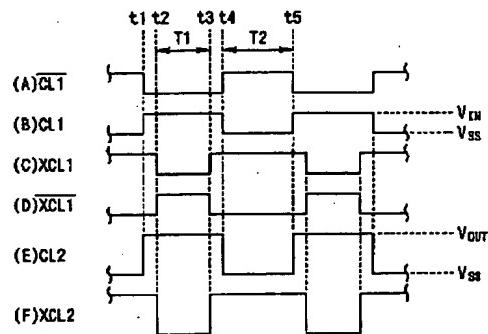


(13)

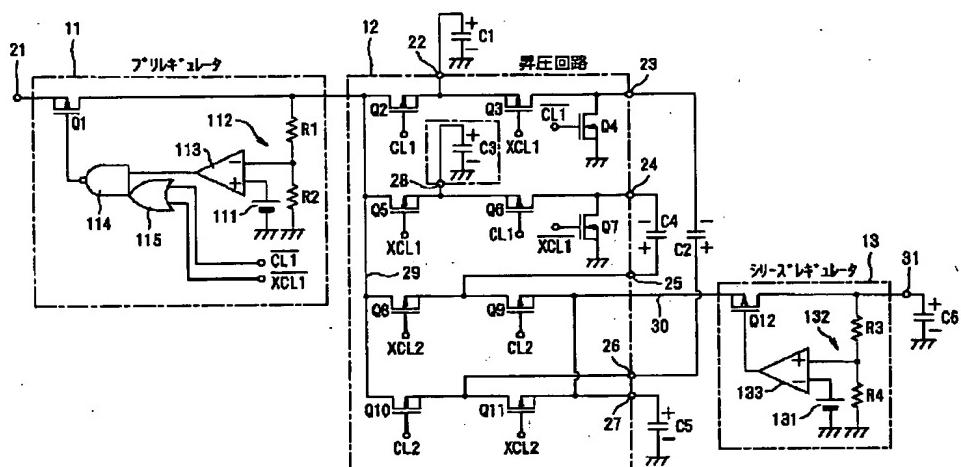
【図 1】



【図 3】



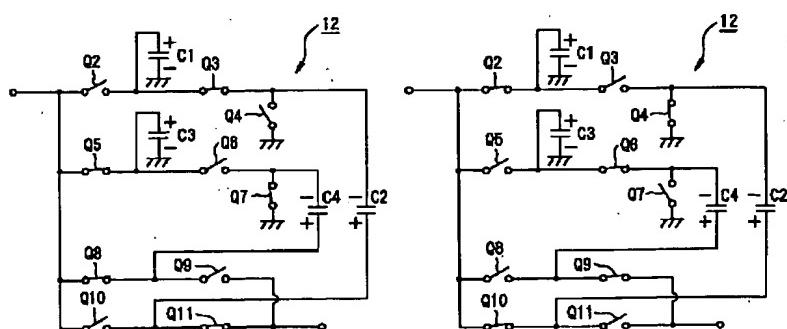
【図 2】



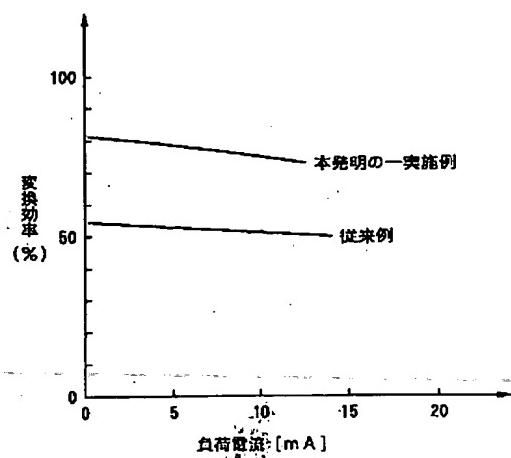
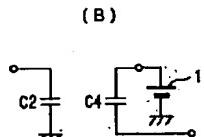
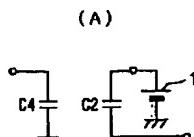
【図 4】

【図 5】

【図 7】

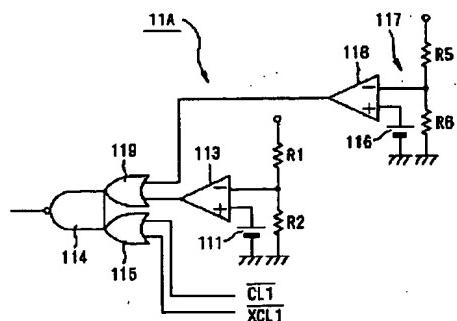


【図 13】

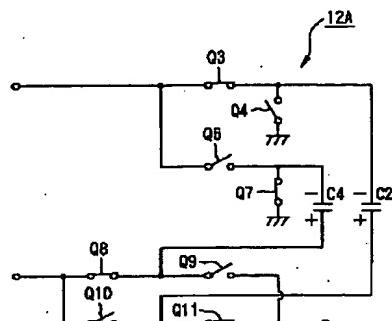


(14)

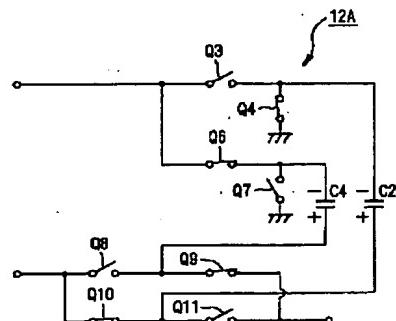
【図9】



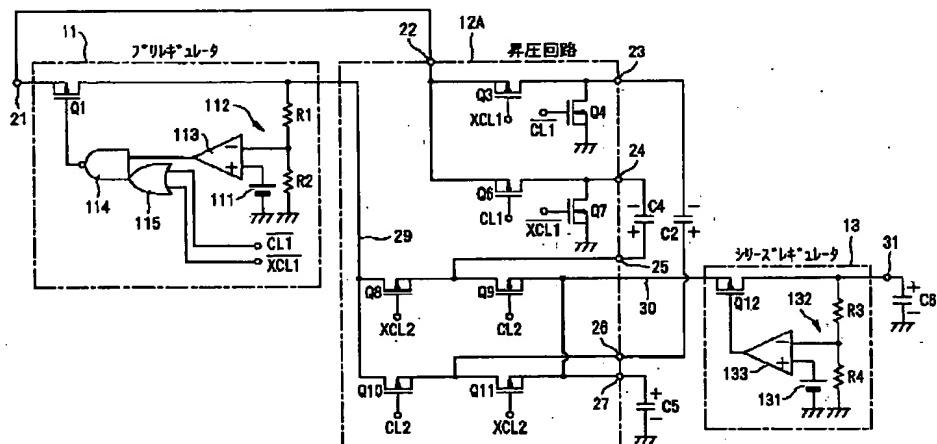
【図11】



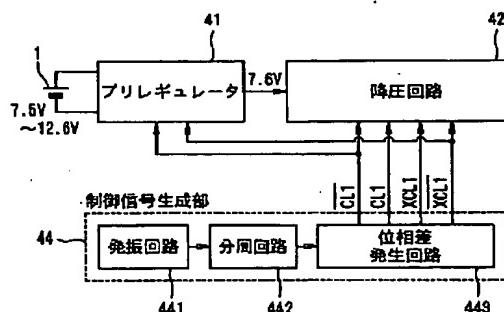
【図12】



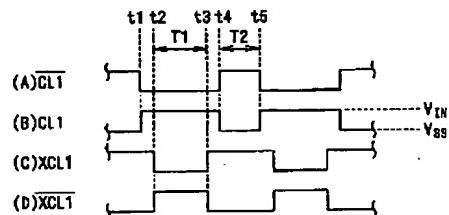
【図10】



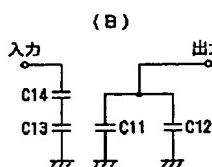
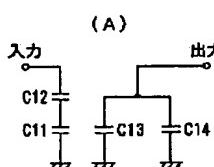
【図14】



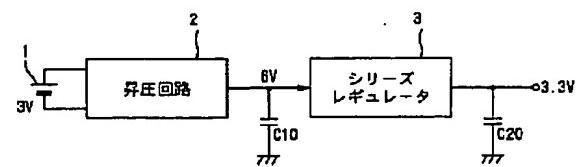
【図16】



【図19】



【図20】



(15)

【図15】

